



ارائه شده توسط:

سایت ترجمه فا

مرجع جدیدترین مقالات ترجمه شده

از نشریات معتبر

رویکرد کد گذاری در اتصال های سه بعدی کم مصرف

چکیده

رابط های سیلیکانی در اتصالات سه بعدی مصرف قدرت بالایی دارند، که می توان این میزان مصرف را با راهبردهای کدگذاری کاهش داد. این مقاله رویکردی را مطرح می کند که مصرف قدرت رابط های سیلیکانی را از طریق تعیین بیت آگاه به سیگنال کاهش می دهد که شامل تبدیل هایی می باشد تا از تاثیر میدان نیمه هادی فلز اکسید بهره گرفت. این رویکرد هزینه مزادای را تحمیل نمی کند و منجر به کاهش تضمینی مصرف برق و قدرت می گردد. تحلیل راهبرد ما نشان می دهد که کاهش مصرف قدرت در رابط های سیلیکانی تا میزان ۴۸٪ به ازای جریان داده های واقعی متناسب (همانند حس گر تصویری) و ۱۱٪ به ازای جریان داده های کدگذاری شده تصادفی کم قدرت امکان پذیر است.

۱-مقدمه

ترکیب سه بعدی راه حل مطلوبی برای غلبه بر چالش هایی است که با محدوده قانون مور پدید می آیند. برای اتصال قطعات سیستم سه بعدی در تراشه، ردیف های رابط سیلیکانی معمولاً به کار می روند چون میزان تاخیر در آنها کم است و اعتبار بالایی دارند. مطالعات قبلی نشان می دهند که تغییر از ترکیب ۲ بعدی به ۳ بعدی با استفاده از رابط های سیلیکانی امکان کاهش عمده تاخیر در مدار را فراهم می کند، اما اغلب موارد مصرف قدرت را افزایش می دهد. مصرف قدرت سیستم به طور عمده تحت تاثیر رابط های سیلیکانی می باشد. در ردیف های رابط های سیلیکانی ظرفیت های خازنی دوتایی بزرگ اند که به خاطر ابعاد نسبتاً بالا و زیرلایه هدایتی می باشد. لذا این اتصال های دوتایی مسئله عمده در طرحی مدارهای ترکیبی ۳ بعدی به شمار می روند و در زمینه های علم و صنعت توجه زیادی به خود جلب نموده اند.

آثار قبلی به مدل سازی و خنثی نمودن اتصال های دوتایی با راهبردهای تولید پرداخته اند. به هر حال این راهبردها به طور عمده هزینه تولید را افزایش داده و از بازدهی رابط های سیلیکانی می کاهند. به علاوه اکثر راهبردهای

تولیدی هدف بهینه سازی سیگنال یکپارچه را دنبال می کنند در حالی که تاثیری بر مصرف برق و نیرو نمی گذارد. چون اتصال دوتایی پدیده ای متکی بر الگو می باشد، رویکردهای کدگذاری داده ها اخیر مطرح شده اند که تاثیر زیادی بر فرایند تولید نمی گذارند. این راهبردها بار دیگر یکپارچگی سیگنال را بهبود می بخشند و نیز شمار رابط های سیلیکانی افزایش می دهند که حتی منجر به افزایش مصرف نیرو در رابط های سیلیکانی می گردد. لذا راهبردهای کم قدرت رابط های سیلیکانی علی رغم اهمیتی که دارند، هنوز چندان مورد تحقیق و بررسی واقع نشده اند.

کد گذاری کم قدرت برای سیم های فلزی صفحه ای بسیار کارآمد اند. سیم های فلزی فقط نشان دهنده اتصال دوتایی عمده با دو همسایگی مجاور و ظرفیت خازنی دوتایی بین هر جفت سیم فلزی مجاور اند. در مقایسه، رابط های سیلیکانی حداکثر دارای هشت همسایگی مجاور اند که به خاطر فواصل مختلف بین همسایگی های مجاور مستقیم و قطری اند، که با تاثیر اشتراک گذاری میدان الکتریکی و چند مقدار ظرفیت موجود در ترتیب رابط های سیلیکانی می باشد. لذا نمی توان راهبردهای کد گذاری کم قدرت سنتی را نمی توان به طور مستقیم در ترتیب رابط های سیلیکانی به کار برد. لذا به راهبردهای کارآمد و کم مصرف به ازای رابط های سیلیکانی در ترکیب ۳ بعدی نیاز داریم.

در این مقاله اولین رویکرد کد گذاری کم مصرف ۳ بعدی را مطرح می کنیم. سیستم های تراشه ای سه بعدی از مزیت ترکیب ناهمگون استفاده می کنند: حس گر، پردازش گر و قطعات حافظه در قالب های مجزا با فناوری کارآمد ساخته می شوند. سپس این قالب ها با رابط های سیلیکانی متصل می شوند. در این سیستم ها الگوهای شبکه ای رابط های سیلیکانی تناسب زمانی و توزیع نرمال دارند که باعث می شود بیت هایی با ویژگی های مختلف قطع و وصل ایجاد شوند. نشان می دهیم که می توان از این ویژگی ها بهره گرفت تا مصرف قدرت را کاهش داد به طوری که از تمظیم هوشمند بیت به رابط های سیلیکانی استفاده کرد، چون ظرفیت ردیف رابط های سیلیکانی ناهمگون هستند. حتی وارونه سازی برخ بیت ها قبل از انتقال با استفاده از درایورهای برگردان رابط های سیلیکانی می تواند مصرف نیرو و قدرت را کاهش دهد. این مقاله روشی برای سیافتن تنظیم بیت به رابط های سیلیکانی بهینه

مطرح می کند که مصرف قدرت رابط های سیلیکانی را به ازای هر جریان داده ای به حداقل می رساند. مجموعه گسترده ای از تحلیل داده های حقیقی و ترکیبی نشان می دهد که رویکرد ما می تواند مصرف قدرت رابط های سیلیکانی مدرن تا تا ۴۰٪ کاهش دهد.

بقیه این مقاله این گونه ساختار بندی شده است: پس از نظرات مقدماتی روش تعیین بهینه در بخش ۳ ارائه می گردد. چیدمان های نظام مند سیگنال های پردازشی دیجیتال در بخش ۴ ارائه می گردد که با چیدمان بهینه جریان داده های حقیقی در بخش ۵ مقایسه می گردد. در بخش ۶ ترکیب رویکرد خود یا کدهای کم مصرف سنتی به طور خلاصه بحث می شود. نتایج آزمایشی در بخش ۷ مطرح می شوند و در نهایت، به نتیجه گیری پرداخته می شود.

۲- مباحث اولیه: مدل رابط های سیلیکانی

مصرف قدرت در رابط های سیلیکانی را می توان به طور دقیق با مصرف قدرت مربوط به ظرفیت آن برآورد کرد. لذا برای محاسبه مصرف قدرت رابط های سیلیکانی، ماتریس های ظرفیت ردیف های رابط های سیلیکانی مدرن مورد نیاز هستند. در این مقاله ماتریس های ظرفیت با شبیه سازی های میدان الکترومغناطیسی به ازای ساختارهای سه بعدی ردیف های رابط های سیلیکانی با استخراج گر $Q3D$ به دست می آیند.

در ساختارهای تحلیل شده، رابط های سیلیکانی در ترتیب $M \times N$ واقع می شوند که در آن M, N به طور دلخواه تعریف می شوند. فاصله بین مراکز دو همسایگی مستقیم مقدار ثابت بوده و با d نشان داده می شود. رابط های سیلیکانی استوانه ای با طول او شعاع r از مس می باشند. رابط های سیلیکانی از زیرلایه سیلیکانی عبور می کنند که هدایت σ در آن 10^5 S/m می باشد. در عایق جریان مستقیم، هر یک از رابط های سیلیکانی با دی الکتریک SiO_2 با ضخامت $r/5$ احاطه شده اند. در این مدل پارامترهای هندسی d, r متغیر اند به منظور اینکه ابعاد جهانی مختلف رابط سیلیکانی را با آی.تی.آر.اس سال ۲۰۱۸ پیش بینی نمود. طول رابط های سیلیکانی با ضخامت زیرلایه معادل $50 \mu\text{m}$ تعریف می گردد. رابط سیلیکانی، شکل دی الکتریک و زیرلایه آن نقطه اتصال نیمه هادی فلز اکسید تشکیل می دهند. لذا رابط سیلیکانی با ناحیه تخلیه احاطه می شود که در استخراج گر $Q3D$ به عنوان ناحیه زیر لایه تخلیه شده مدل سازی می گردد ($\sigma = 0$). عرض ناحیه تخلیه پیرامون رابط سیلیکانی a با حل معادله دقیق

پویسون به ازای ولتاژ میانگین رابط سیلیکانی $pr_i \cdot V_{dd}$ محاسبه می گردد که در آن احتمال ۱ منطقی در رابط سیلیکانی $V_{dd} = 1V$ می باشد. ولتاژ تامین نیرو می باشد. به ازای تایید نهایی کار خود، شبیه سازی های مدار به کار می رود. لذا مدارهای کامل 3π -RLC ردیف های رابط سیلیکانی نیز استخراج می شوند.

۳- چیدمان بیت-رابط سیلیکانی با قدرت بهینه

در این بخش رویکرد کاهش مصرف قدرت رابط سیلیکانی را با انتخاب چیدمان بهینه (ثابت) بیت به رابط سیلیکانی مطرح می کنیم. این رویکرد هزینه مازاد رابط سیلیکانی دربر ندارد. تنها هزینه مازاد افزایش جزئی در طول سیم می باشد. برای کمی سازی هزینه های رویکرد خود به تحلیل ردیف 3×3 رابط سیلیکانی از جمله مسیریابی محلی به ازای فناوری 40nm تجاری و رابط سیلیکانی با شعاع $2 \mu m$ و حداقل تراکم $8 \mu m$ ، پرداختیم. تمامی چیدمان های ممکن بیت-رابط سیلیکانی را تحلیل نمودیم و تقارن ردیف ها را در نظر گرفتیم. بدترین مسیر حداکثر پارازیت 0.4% دارد. میانگین پارازیت کلی به ازای تمامی چیدمان ها افزایش می یابد که کمتر از 0.2% است و انحراف معیار آن زیر 0.1% است. لذا تاثیر مسیریابی محلی جزئی است چرا که پارازیت های رابط سیلیکانی غالب اند. به علاوه به خاطر محدودیت های ناحیه عدم ورود، هیچ قطعه فعلی در نزدیکی ردیف های رابط سیلیکانی واقع نشده است. لذا فرمولی برای محاسبه پیدمان بیت-رابط سیلیکانی ارائه می دهیم.

ابتدا به مرور مدل به ازای مصرف قدرت ساختارهای رابط می پردازیم. به خاطر اکسیدهای ضخیم، جریانات نشتی را می توان به ازای رابط ها نادیده گرفت. مصرف قدرت پویا و میانگین رابط با N تعداد بیت ب ه ازای چیدمان اولیه با تطبیق دهی بیت (b_i) با رابط i برابر است با :

$$P = \frac{V_{dd}^2 f}{2} \left(\sum_i^N E\{\Delta b_i^2\} C_{i,i} + \sum_{i,j}^N E\{\Delta b_i^2 - \Delta b_i \Delta b_j\} C_{i,j} \right). \quad (1)$$

که در اینجا عبارت نخست $V_{dd}^2 f / 2$ به ولتاژ تامین نیرو V_{dd} و فرکانس ساعتی وابستگی دارد که تحت تاثیر رویکرد کدگذاری نیستند. لذا در زیر از مصرف نیرو متوسط و متعارف شده با این عامل استفاده می کنیم: $P_n = 2P / V_{dd}^2 f$. در رابطه ۱ $C_{i,i}$ ظرفیت رابط i و $C_{i,j}$ ظرفیت دوتایی بین دو رابط i, j است. به علاوه $E\{\}$

اپراتور مورد انتظار است. Δb_i نشان دهنده تغییر حالت بیت i می باشد که یا ۱، ۰ و -۱ می باشد. لذا $E\{\Delta b_i^2\}$ احتمال تغییر حالت خودکار رابط i می باشد. در حالی که مصرف نیرو به خاطر ظرفیت رابط i با تغییر حالت خودکار تعیین می گردد Δb_i تحت تاثیر تغییر حالت در رابط j ، Δb_j می باشد. اثر گذاری $C_{i,j}$ بر مصرف قدرت زمانی دوبرابر می شود که رابط j در جهت مخالف تغییر وضعیت دهد و زمانی از بین می رود که در جهت یکسان تغییر وضعیت دهد. مصرف قدرت متعارف P_n را می توان با استفاده از محصول داخلی فروبنیوس دو ماتریس T, C این گونه بیان کرد:

$$P_n = \langle T, C \rangle. \quad (2)$$

در اینجا C ماتریس ظرفیت با ظرفیت $C_{i,j}$ در ورودی j ، i و T نشان دهنده احتمالات تغییر وضعیت بیت ها می باشد:

$$T = T_s \mathbf{1}_{N \times N} - T_c, \quad (3)$$

که در این رابطه T_s ماتریسی با احتمالات تغییر حالت خودکار $E\{\Delta b_i^2\}$ در ورودی های قطری بوده و بقیه ورودی ها صفر اند. T_c نشان دهنده احتمال جفت شدن با صفرها در درایه های قطری و $E\{\Delta b_i \Delta b_j\}$ در درایه j, i می باشد. $\mathbf{1}_{N \times N}$ ماتریس اعداد ۱ است. چون ظرفیت های ماتریس C ناهمگن است تعیین بیت های منطقی به رابط های سیلیکانی بر مصرف نیرو تاثیر می گذارد. به علاوه وارونه نمودن برخی بیت های منطقی به طور ثابت قبل از انتقال به طور بالقوه درایه های ورودی T را کاهش می دهد. اگر برخی جفت بیت های جریان داده ها تناسب منفی داشته باشند، احتمال انتقال در جریان مخالف در آنها بیشتر است. در این حالت انتقال یکی از دو بیت j, i منجر به تناسب مکانی مثبت می گردد چون $E\{\Delta b_i \Delta b_j\} = -E\{\Delta b_i \Delta b_j\} > 0$ و لذا مصرف قدرت کاهش می یابد. به خاطر تاثیر نیمه هادی فلز اکسید احتمال ۱ بیت افزایش یافته در راط سیلیکانی عرض ناحیه تخلیه را گسترش می دهد که منجر به ۴۰٪ مقدار ظرفیت کمتر می گردد. لذا به ازای رابط های سیلیکانی، جریان داده های انتقالی، مقادیر ظرفیت به چیدمان و تبدیل های وارونه بستگی دارند. حال این جوانب را مدل سازی می کنیم. نخست

ماتریس تغییر حالت T را در نظر می گیریم . تاثیر چیدمان مجدد از جمله تبدیل های وارونه بر T به طور ریاضی چنین بیان می شود

$$T' = T'_s \mathbf{1}_{N \times N} - T'_c = A_\pi T_s A_\pi^T \mathbf{1}_{N \times N} - A_\pi T_c A_\pi^T. \quad (4)$$

در اینجا A_π ماتریس تبدیل و جایگشت می باشد. A_π معتبر دارای ۱ و -۱ در هر ستون/ستر بوده در حالی که تمامی درایه های دیگر ۰ اند. برای تعیین آمین بیت جریان داده ها به خط j ، $A_{\pi j, i}$ برابر ۱ تعیین می گردد. برای تعیین بیت منفی به خط، $A_{\pi j, i}$ برابر -۱ تعیین می شود. لذا در ساختار رابط ۳ بیتی، برای تعیین بیت ۳ به خط ۱، بیت ۱ به خط ۲ و بیت ۲ به خط ۳:

$$A_\pi = \begin{bmatrix} 0 & 0 & -1 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix}. \quad (5)$$

دوم اینکه روش ریاضی را برای برآورد ماتریس ظرفیت رابط سیلیکانی C بسته به چیدمان بیت به رابط سیلیکانی به دست می آوریم. رابطه دقیق احتمال بیت-ظرفیت بسیار پیچیده است و در نتیجه برای تعیین چیدمان بهینه مناسب نیست. به هر حال رگرسیون خطی برای برآورد قادر ظرفیت به عنوان تابعی از احتمالات بیت خطای مربع میانی ریشه ای متعارف زیر ۲٪ دارد. لذا رابطه زیر را می توان برای برآورد اندازه ظرفیت دوتایی برای تعیین بیت های j ، i به رابط های سیلیکانی j ، i به کار برد:

$$C_{i,j} = C_{0,i,j} + \Delta C_{i,j} (E\{b_i\} + E\{b_j\}), \quad (6)$$

که در آن $C_{0,i,j}$ مقدار ظرفیت به ازای تمامی احتمالات ۱ بیتی معادل صفر و $\Delta C_{i,j}$ از مقدار ظرفیت با احتمال ۱ بیتی فزاینده $E\{b_i\}$ یا $E\{b_j\}$ می باشد. لذا با تغییر در رابطه ۶ می نویسیم:

$$C_{i,j} = C_{R,i,j} + \Delta C_{i,j} (\epsilon_i + \epsilon_j). \quad (7)$$

در اینجا $C_{R,i,j}$ مقدار ظرفیت به ازای تمامی احتمالات بیت برابر با $(C_{R,i,j} = C_{0,i,j} + \Delta C_{i,j})$ می باشد. ϵ_i به طور ریاضی طبق زیر بیان می شود:

$$\epsilon_i = \mathbf{E}\{b_i\} - \frac{1}{2}. \quad (8)$$

چون $\mathbf{E}\{\bar{b}_i\} = 1 - \mathbf{E}\{b_i\}$ ، تبدیل b_i می باشد که مقدار ϵ_i را نفی می کند. لذا ماتریس ظرفیت به عنوان تابع \mathbf{A}_π را می توان این گونه بیان کرد:

$$\mathbf{C}' = \mathbf{C}_R + \Delta \mathbf{C} \circ (\mathbf{A}_\pi \epsilon \mathbf{1}_{1 \times N} + \mathbf{1}_{N \times 1} \epsilon^T \mathbf{A}_\pi^T), \quad (9)$$

که در آن \mathbf{C}_R و $\Delta \mathbf{C}$ ماتریس هایی اند که حاوی $C_{R,i,j}$ و $\Delta C_{i,j}$ می باشند. ϵ بردار مقادیر ϵ_i می باشد. نشان هادامرد می باشد. سرانجام می توانیم چیدمان بیت قدرت بهینه $\hat{\mathbf{A}}_\pi$ را تعیین کنیم:

$$\hat{\mathbf{A}}_\pi = \arg \min_{\mathbf{A}_\pi \in S_N} (\langle \mathbf{T}', \mathbf{C}' \rangle), \quad (10)$$

که در آن رابطه ۹و۴ جایگزین \mathbf{T}' و \mathbf{C}' می گردند. S_N مجموعه ماتریس های جایگشت معتبر شامل تمامی تبدیل های ممکن می باشند.

در واقع $\hat{\mathbf{A}}_\pi$ با هر یک از چند ابزار بهینه موجود تعیین می گردد تا پیچیدگی محاسباتی را کاهش دهد. هر چند به طور کلی صدها مورد رابط سیلیکانی در رابط های سه بعدی وجود دارند، زمان اجرا بهینه سازی نسبت برای مسئله ما پایین است.

۴- چیدمان های منظم رابط های سیلیکانی به ازای سیگنال های پردازش دیجیتالی

در برخی موارد جریان داده نمونه مورد نیاز برای دستیابی به \mathbf{T} ممکن است در زمان طراحی شناخته نشود. در این حالت، ویژگی های پایه ای داده ها را می توان برای دستیابی به چیدمان های نظام مند به کار برد. به عنوان مثال، در این بخش بر چیدمان های منظم تاکید داریم که در سیگنال های پردازش دیجیتالی به کار می روند. ویژگی سطح بیت سیگنال های پردازش دیجیتالی به خوبی درک شده و به طور کوتاه در زیر خلاصه بندی می شوند. در بسیاری از سیگنال های پردازش دیجیتالی به خاطر توزیع نرمال میانگین صفر الگوها جفت های ام.اس.بی متناسب اند. به علاوه تناسب الگوی زمانی بر تغییر حالت خودکار ام.اس.بی تاثیر می گذارد. تمامی احتمالات بیت معادل ۱/۲ اند. در نتیجه ماتریس ظرفیت مستقل از چیدمان است و داریم:

$$P'_n = \langle \mathbf{T}'_s \mathbf{1}_{N \times N} - \mathbf{T}'_c, \mathbf{C}_R \rangle. \quad (11)$$

به خاطر تناسبات بیت مثبت، چیدمان های منظم را بدون تبدیل های بیت مطرح می کنیم. به طور دقیق تر، دو رویکرد منظم را مطرح می کنیم: یک رویکرد از تناسب الگو زمانی و دیگری از توزیع نرمال الگوها استفاده می کند. ابتدا الگوهای توزیع برابر ب تناسب زمانی را مطرح می کنیم. توزیع برابر باعث تناسب مکانی نمی گردد که به مفهوم زیر است: $E\{\Delta b_i \Delta b_j\} = 0$ به ازای $i \neq j$. لذا به ازای سیگنال های توزیع برابر تمامی درایه های \mathbf{T}'_c صفر اند. لذا رابطه ۱۱ را می توان طبق زیر ساده سازی کرد

$$P'_n = \langle \mathbf{T}'_s \mathbf{1}_{N \times N}, \mathbf{C}_R \rangle = \sum_i T'_{s,i,i} C_{T,i}, \quad (12)$$

که در آن $C_{T,i}$ مجموع ظرفیت های متصل به رابط آمی باشد. $T'_{s,i,i}$ آمین درایه قطری \mathbf{T}'_s است که معادل احتمال تغییر حالت بیت انتقال داده شده در رابط آمی باشد. لذا برای حداقل سازی P' بیت های دارای بیشترین احتمال تغییر حالت خودکار $E\{\Delta b_i^2\}$ باید در رابط های سیلیکانی با پایین ترین ظرفیت کلی $C_{T,i}$ انتقال یابند.

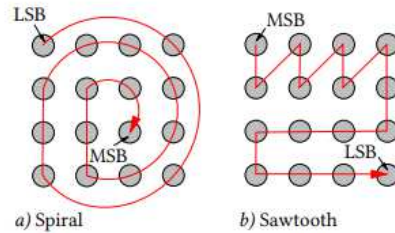


Figure 1. Systematic bit-to-TSV assignments: Spiral for correlated signals and Sawtooth (ST) for normally distributed signals.

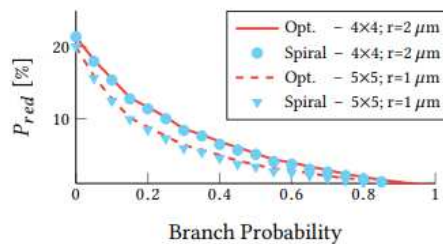


Figure 2. Decrease in power consumption (P_{red}) due to the optimal and the Spiral bit-to-TSV assignment for sequential data streams.

در ردیف های رابط سیلیکانی، رابط های سیلیکانی گوشه ای کمترین ظرفیت کلی را دارند و رابط های سیلیکانی لبه ای باید ظرفیت کلی پایین تر نسبت به رابط های سیلیکانی وسط ردیف داشته باشند. لذا چیدمان بهینه بیت های بالاترین حالت تغییر خودکار را به گوشه های ردیف تطبیق می دهد. سپس بیت هایی که تغییر حالت خودکار بالاتر از آنها را دارند در لبه واقع می شوند. بیت های باقی در وسط قرار می گیرند. چون ام.اس.بی الگوهای متناسب نشان دهنده پایین ترین تغییر حالت خودکار هستند، چیدمان منظم ما به ازای الگوهای متناسب نوعی شکل مارپیچ طبق شکل ۱ ب تشکیل می دهد.

در شکل ۲ کاهش مصرف شبیه سازی شده به خاطر شکل مارپیچ و چیدمان بهینه نشان داده شده است. حال به چیدمان منظم توزیع نرمال بدون میانگین اما بدون الگوهای تناسب زمانی می پردازیم. احتمال تغییر حالت خودکار هر بیت ۱/۲ است. لذا درایه های قطری T'_s برابر ۱/۲ بوده که مستقل از چیدمان است که منجر به مصرف قدرت نرمال می گردد

$$P'_n = \langle \frac{1}{2} \cdot \mathbf{1}_{N \times N} - \mathbf{T}'_c, \mathbf{C}_R \rangle = \frac{1}{2} \sum_i C_{T,i} - \sum_{i,j} T'_{ci,j} C_{i,j}, \quad (13)$$

که در آن $T'_{ci,j}$ تناسب بین دو بیت انتقالی در رابط های [۱] است. لذا به منظور کاهش مصرف قدرت، جفت بیت های بسیار متناسب باید به جفت های رابط سیلیکانی نسبت داده شوند که به ظرفیت دوتایی عمده متصل است. در چیدمان های رابط سیلیکانی، بزرگترین ظرفیت های دوتایی بین رابط سیلیکانی گوشه ای و دو رابط سیلیکانی لبه ای قرار دارد. شکل ۳ الف نشان دهنده کاهش مصرف قدرت به خاطر چیدمان بهینه و دندانان ای انتقال گاسی مجموعه های الگو ۱۶ بیتی توزیع شده در ردیف ۴×۴ رابط سیلیکانی است. نتایج به ازای انحراف معیار الگوها مطرح می شوند تا به تحلیل توزیعات نرمال مختلف بپردازند. این شکل ماهیت بهینه چیدمان دندانان ای توزیع نرمال با الگوهای عمد تناسب زمانی نشان می دهد.

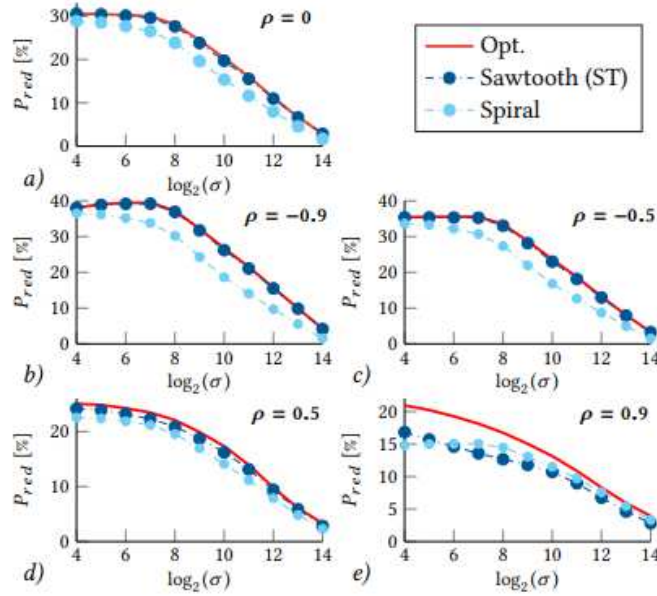


Figure 3. Power consumption reduction (P_{red}) due to our mapping approaches for uncorrelated (3.a) and correlated (3.b-3.e; $\rho \neq 0$), Gaussian distributed data streams with standard deviation σ .

به هر حال در برخی کاربردهای حقیقی سیگنال های توزیع نرمال و متناسب رخ می دهند. در این جریان داده ها، چیدمان بهینه رابط سیلیکانی جزئی نیست و به کمیت های تناسب بستگی دارد. طبق شکل ۳ ب الی ۳ ه به ازای تناسب منفی، الگوهای توزیع گاسی تطبیق دهی دندانان ای منجر به کمترین مصرف قدرت می گردد در حالی که در تناسب مثبت نه تناسب مارپیچی و نه دندانان ای منجر به مصرف قدرت بهینه نمی شوند. به هر حال در مقایسه با چیدمان تصادفی هر دو رویکرد منجر به بهبود عمده می شوند.

خلاصه اینکه اگر تعیین چیدمان بهینه از طریق رابطه ۱۰ مقدور نباشد، که تضمین کمترین مصرف قدرت می باشد، طراحی دندانان ای را می توان در سیگنال های توزیع نرمال و طراحی مارپیچی را می توان در سیگنال های تناسب زمانی به کار برد.

۵- مقایسه طراحی های بهینه و منظم به ازای سیگنال های پردازشی دیجیتال

در اینجا به بررسی کارایی راهبرد مطرح شده به ازای سیگنال های ترکیبی پردازشی دیجیتالی می پردازیم. در زیر به تحلیل و مقایسه کارایی های چیدمان های منظم و بهینه بیت به رابط سیلیکانی به ازای سیگنال های حقیقی پردازش دیجیتال می پردازیم. لذا بر گروه مهمی از شبکه ها تاکید داریم: شبکه های تراشه ای ۳ بعدی که به دو

گروه تقسیم می شوند: سیستم های تراشه ای بصری شامل قالب هایی برای حس تصاویر و قالب هایی برای پردازش تصاویر دیجیتال و شبکه تراشه ای قالب حس گر ام.ای.بی.ام.اس متصل به قالب دیجیتال.

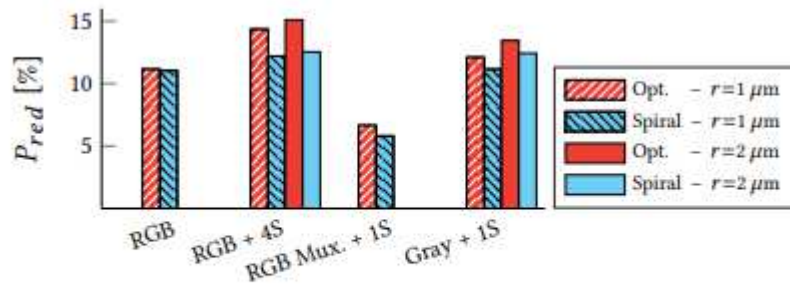


Figure 4. Power consumption reduction (P_{red}) for an optimal/Spiral assignment and image sensor patterns. “+xS” indicates x stable lines.

۱-۵ شبکه تراشه ای بصری

شبکه بصری در مقایسه با حس گرهای تصویری سی م اس برای بررسی و پردازش تصاویر در تک تراشه به کار می روند. این مسئله بر محدودیت های سیستم های سنتی به خاطر انتقال تصاویر پرهزینه بین حس گر و پردازش گر به ویژه برای اندازه های فریم بزرگتر غلبه می کند.

در شبکه تراشه ای بصری برخی قالب ها به حس گر تصاویر و دیجیتالی سازی و برخی برای پردازش تصاویر اختصاص داده می شوند. در زیر رویکرد انتقال پیکسل های تصویر دیجیتال را از لایه حسی به لایه پردازش شرح می دهیم.

سه تحلیل نخست برای به دست آوردن داده ها از حس گر تصویر ۲۲۵-۲۰-آر.جی.بی با استفاده از فیلتر الگوی بایر انجام گردید. نخست به تحلیل انتقال موازی تمامی چهار رنگ آر.جی.بی (۱ قرمز ۲ سبز و ۱ آبی) هر پیکسل الگوی بایر در ردیف رابط سیلیکن ۳۲ بیت پرداختیم. در تحلیل دوم چهار رابط سیلیکانی دیگر در ردیف فرض نمودیم: یک رابط سیلیکانی سیگنال فعال را انتقال می دهد، یک رابط سیلیکانی مازاد برای دستیابی به بهبود بازدهی است و دو رابط سیلیکانی زمینی/قدرت بری تامین حس گر به کار می روند. در تحلیل سوم چهار رنگ هر پیکسل از یکی به دیگری در ردیف ۳×۳ انتقال می یابد که شامل سیگنال فعال مازاد است. تحلیل چهارم به ازای جریان جریان داده

برگرفته از حس گر تصویر مقیاس خاکستری انجام می شود. در اینجا انتقال یک پیکسل به ازای چرخه ساعت در ردیف 3×3 شامل سیگنال فعال بررسی می گردد. تمامی داده های تحلیل شده متشکل از تصاویر خودرو، افراد و مناظر بودند.

به ازای تمامی تحلیل ها کاهش مصرف قدرت در برابر چیدمان های تصادفی به ازای چیدمان بهینه و مارپیچی بررسی می شود چون تناسب قوی پیکسل های مجاور منجر به تناسب الگو زمانی می گردد. سیگنال های مازاد، فعال و قدرت/زمینی ثابت در نظر گرفته می شوند. سیگنال های مازاد و فعال هنگام عدم استفاده ۰ در نظر گرفته می شوند. خطوط جی ان دی و V_{dd} همیشه در منطق ۱ و ۰ به ترتیب می باشند اما تبدیل خطوط قدرت مقدور نیست برای انتقال همزمان پیکسل آر جی بی کامل، بیت های چهار مولفه رنگی یکی یکی برای تطبیق یابی با شکل مارپیچی جانداخته می شوند. چون خطوط پایدار به طور کامل متناسب هم اند، آنها به عنوان ام.اس.بی برای تطبیق دهی مارپیچی افزوده می شوند. به ازای ابعاد رابط سیلیکانی موارد مینیمم پیش بینی شده برای سال ۲۰۱۸ را انتخاب می کنیم. برای نشان دادن تاثیر شکل هندسی رابط سیلیکانی مصرف قدرت ردیف 3×3 و 6×6 نیز به ازای $d = 8 \mu m$ و $r = 2 \mu m$ بررسی می گردد. کاهش قدرت شبیه سازی شده به خاطر چیدمان های مختلف در شکل چهار نشان داده شده است. نتایج نشان می دهد که طراحی مارپیچی تقریباً به ازای انتقال الگوهای حس گر تصویر بدون خطوط ثابت بهینه است و همیشه منجر به کاهش قدرت ۱۱ الی ۱۳٪ می گردد به جز رنگ های چند پیکسل که در آن میزان کاهش تنها ۵٪ است.

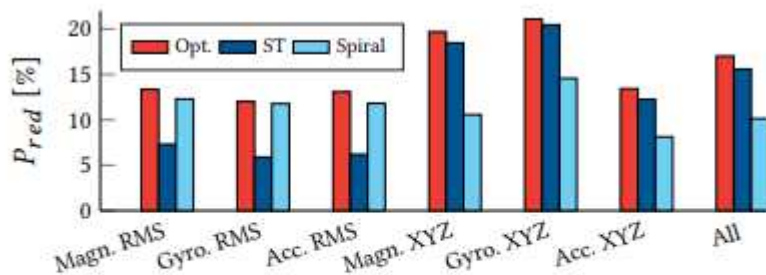


Figure 5. Decrease in the power consumption (P_{red}) for our optimal/systematic approach and MEMS sensor signals.

با خطوط ثابت در ردیف رابط سیلیکانی ، کاهش قدرت به خاطر چیدمان بهینه تا ۲,۵ درصد متیاز بالاتر است چرا که تبدیل ها و ویژگی های جفتی خطوط ثابت را در نظر می گیرد.

به طور خلاصه شبیه سازی ها نشان می دهند که هر دو چیدمان بهینه و منظم به طور موثر مصرف قدرت رابط سیلیکان را در شبکه تراشه ای بصری کاهش می دهد. به هر حال در حضور خطوط پایدار، رویکرد بهینه دستاورد بالاتری دارد.

۲-۵ حس گرهای ام ای ام اس در شبکه تراشه ای ۳ بعدی

در این بخش به تحلیل کارایی راهبرد خود به ازای داده های حس گر ام ای ام اس می پردازیم، که از یک لایه حسی به پردازشی انتقال می یابند. لذا سیگنال های حس گر گوسی هوشمند مدرن در سناریوهای کاربرد روزانه به کار می رود. شتاب سنج، مغناطیس سنج و گردش نما در سه محور X,Y,Z حس می کنند که وضوح آنها ۱۶ بیت است. انتقال یک نمونه به ازای مرحله زمانی در ردیف ۴×۴ با $r = 2 \mu m$ و $d = 8 \mu m$ فرض می کنیم. انتقال جریان داده های واحد را به ازای دو سناریو تحلیل نمودیم. در سناریو اول فقط مربع میانگین ریشه برگرفته از سه محور انتقالی است. در مورد سناریو دوم مقادیر محور X,Y,Z به طور منظم یکی در میان جانداخته می شوند تا ضرب می شوند. برای تکمیل شدن، همچنین به تحلیل انتقال سه جریان داده در ردیف رابط سیلیکان می پردازیم. در اینجا به بررسی چیدمان های منظم بیت به رابط سیلیکان می پردازیم. کاهش مصرف قدرت شبیه سازی شده در برابر چیدمان های تصادفی در شکل ۵ نشان داده می شوند. طبق این شکل، داده های جاگذاری شده، طراحی دندانه ای کمی نامطلوب تر از چیدمان بهینه پیشنهادی است که مصرف قدرت را تا ۲۱,۱٪ کاهش می دهد. در کل مقادیر یک محور واحد توزیع نرمال و تناسب زمانی دارند. به هر حال به ازای جریان داده های جایگذاری شده تناسبات زمانی از بین می رود. لذا این سناریوها مثال هایی از سیگنال های توزیع نرمال بدون تناسب زمانی مطرح می کنند. در جریان داده های آر.ام.اس طراحی مارپیچی عملکرد بهتری نسبت به طراحی دندانه ای دارد چون الگوها به طور مکانی با هم متناسب اند. در این جریان داده ها بیشترین کاهش مصرف قدرت به خاطر چیدمان مجدد برابر ۱۳,۳٪ است که به طور عمده کمتر از ماکسیمم کاهش قدرت به ازای جریان داده های جایگذاری شده

است. در نتیجه به ازای جریان داده های حقیقی، بهره گیری از توزیع نرمال بدون میانگین موثر تر از بهره گیری از تناسب الگوی زمانی است. در سیگنال های حقیقی، رویکرد بهینه دستیابی بیشتری نسبت به سیگنال های منظم دارد. اما در کل هر دو چیدمان منظم و بهینه منجر به مصرف قدرت کاهش یافته رابط سیلیکانی می شوند.

۶- ترکیب با کدگذاری داده ای

تنظیم ویژگی های داده ای با استفاده از راهبردهای کدگذاری رویکرد کم قدرت نهادینه می باشد. راهبرد مطرح شده ما امکان استفاده از راهبردهای کدگذاری کم مصرف موجود را فراهم می سازد که برای کاهش مصرف نیرو به شیوه کارآمد با یافتن چیدمان بیت به رابط سیلیکانی بهینه طراحی می گردد. لذا اگر کدگذاری قبلا به ازای دیگر مولفه ها به کار رود، هیچ هزینه مازاد دیگر برای کدگذاری رابط سیلیکانی مورد نیاز نیست. جریان داده های بدون کدگذاری رقم تعادل 10^6 بیت دارند. به هر حال راهبردهای کدگذاری داده ای اغلب منجر به کسر زیادی از بیت های 0 می شوند که بر مصرف نیرو تاثیر می گذارد. در اینجا طراحی بهینه ما کارایی رویکرد کدگذاری را با انتقال بیت های تبدیل شده تقویت می کند. در کل تبدیل ممکن است در کدگذار/کدگشا نهفته باشد.

برای مثال کدگذاری خاکستری رویکرد معروفی برای کاهش مصرف قدرت درگاه ها و سیم های فلزی است. کدگذار های دوتایی خاکستری n م معادل ورودی n م ایکس آر د با ورودی $n+1$ م است. در نتیجه به خاطر تناسب مکانی ام اس بی در سیگنال های توزیع نرمال کدگذاری خاکستری منجر به بیت های پایدار در منطق 0 در این نوع داده ها می گردد. در اینجا تبدیل های مورد نیاز چیدمان بهینه بیت به رابط سیلیکانی را می توان درون کدگذار و کدگشا خاکستری تحقق بخشید: عملیت ایکس.آر.ا. با عملیات ایکس.ان.آر جایگزین می شوند تا به واژه های کد نفی شده دست یابند که افزایش می یابد به جای اینکه کاهش یابد، چون این دو عملیات هزینه یکسانی دارند این بهینه سازی راهبرد کدگذاری داده ها بدون هزینه مازاد است.

۷- نتایج تجربی

در این بخش به بررسی سیگنال های حقیقی و رویکردهای کدگذاری سنتی با شبیه سازی های مدار اسپکتر در ترکیب با نتایج استخراج گر Q3D پرداختیم. در اینجا ردیف های رابط سیلیکان با $r = 1 \mu m$ و $d = 4 \mu m$

تحلیل می شوند. به ازای شبیه سازی های مدار مدل فناوری پیش بینی ۲۲ نانومتری قدرت شش به کار می رود. فرکانس ساعتی 3 GHz است. برای گزارش مقادیر مستقل از شمار رابط های سیلیکان ، بیت های مازاد در جریان داده ها، مصرف نیرو گزارش شده در شکل ۶ به مقادیر مقیاس بندی می شوند تا به طور موثر ۲۳ بیت را در هر چرخه ساعت انتقال دهند. مصرف قدرت به ازای انتقال چهار جریان داده بررسی می گردد اگر رویکرد بهینه به کار رود و اگر به کار نرود. اولوین جریان داده ای حاوی سیگنال های حس گر ام ایی ام اس بخش ۲-۵ می باشد که در آن به ازای ۳۹۰۰ چرخه، الگوهای یک محور واحد یک حس گر انتقال می یابند. سپس الگوهای برگرفته از حس گر بعدی به ازای ۳۹۰۰ چرخه انتقال می یابند و غیره تا اینکه داده های تمامی محورها و حس گر ها انتقال داده شوند. این جریان داده ها را دنباله حس گر می نایم. به ازای جریان دوم، «حس گر ماکس» الگوهای متعلق به محورها فردی یکی یکی جایگذاری می شوند. به ازای دو جریان داده های نخست، عرض الگوی ۱۶ بیت و ردیف ۴×۴ انتخاب می گردد. نتایج نشان می دهد که داده ای حس گر چندگانه منجر به مصرف قدرت بالاتر می گردد چون تناسب الگو از بین می رود. با این وجود به خاطر قابلیت های محدود لایه حسی، رایج ترین سناریو انتقال چندگانه است. به هر حال تناسب زمانی را می توان با کدگذاری خاکستری حفظ نمود تا از هزینه مازاد جلوگیری کرد. لذا کدگذاری خاکستری دو بار به ازای داده های حس گر تحلیل می گردد. یک بار به شیوه سنتی و بار دیگر در ترکیب با چیدمان بهینه بیت به رابط سیلیکان. به ازای داده ای حس گر دوتایی چندگانه بدون کدگذاری خاکستری مصرف قدرت تا ۱۸,۳ کاهش می یابد. ترکیب کدگذار خاکستری با رویکرد ما کارایی کدگذاری را دوبرابر می کند سومین جریان داده ها حاوی فیلتر بایر آرجی بی می باشد که در سه رنگ مختلف است. جریان داده ها ۸ بیت با خط مازاد به ازای بهبود حاصل در ردیف ۳×۳ انتقال می یابند. طبق بخش ۱-۵ تناسب الگوی زمانی از بین می رود اگر رنگ های آرجی بی چندگانه باشند. به علاوه هیچ توزیع نرمال در الگوها وجود ندارد. این مسئله منجر به افزایش فوق العاده در مصرف قدرت رابط می گردد. برای حفظ تناسب مکانی داده های چندگانه تنظیم گر به کار می رود که می تواند در مبدل های جریان متناوب نهان باشد. به ازای مقدار آرجی بی یا بی جدید مقدار ایکس آرد با مقدار رنگ قبلی تطبیق دهی می شود و سپس انتقال داده می شود. چون مقادیر آرجی بی بعدی متناسب شدند

این امر باعث می شود که ام اس بی نزدیک صفر ثابت باقی بماند. لذا تنظیم گر تناسب زمانی و مکانی بیت ایجاد می کند و از مصرف نیرو و قدرت می کاهد و دستاورد بالقوه پیدمان بیت به رابط سیلیکان را افزایش می دهد. لذا انتقال داده های آر جی بی در ردیف 3×3 شامل رابط سیلیکان مازاد می باشد که تحلیل می شود. بار دیگر عملیات ایکس آر را با ایکس ان آر معاوضه می کنیم تا تعداد بیت های ۱ را بیشینه سازی کنیم. در حالی که رویکرد ما منجر به کاهش مصرف نیرو تا ۶,۸٪ داده های کدگذاری نشده می شود، اگر رویکرد ما با تنظیم گر ترکیب شود، منجر به کاهش عمده در مصرف نیرو از 0.61 mW تا $0.36 \text{ mW} (-41\%)$ می گردد. در مقابل تنظیم گر سده فقط مصرف نیرو را تا ۲,۲٪ کاهش می دهد.

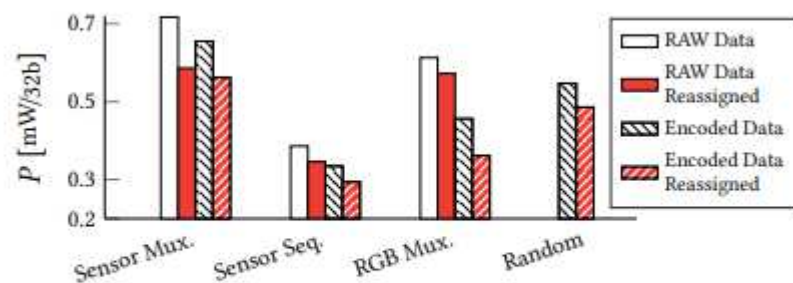


Figure 6. TSV power consumption (including drivers and leakage) if the proposed optimal bit-to-TSV assignment is used and if not.

برای نشان دادن کارایی رویکرد خود به ازای تمامی انواع داده ها آخرین جریان داده ای تحلیل شده با استفاده از کدگذاری وارونه دوگانه مرجع (۲۴)، با مجموعه احتمال ۰,۰۱٪ در ردیف 3×3 انتقال یافت. کدگذاری دوگانه به ازای ساختار فیزیکی سیم فلزی به دست می آید و لذا به طور ذاتی برای رابط های سیلیکانی مناسب نیست. در اینجا فرض می کنیم که شبکه تراشه ای ۳ بعدی که در آن داده ها در لینک ۲ بعدی و کدگذاری اختصاص یافته لینک ۳ بعدی انتقال می یابند، بسیار پرهزینه است. به هر حال رویکرد کدگذاری منجر به تناسب مکانی بین برخی بیت ها و تناسب زمانی بیت می گردد. به ازای داده های کدگذاری شده تصادفی ۲ بعدی رویکرد ما مصرف قدرت رابط سیلیکانی را تا ۱۱,۲٪ کاهش داد. این مسئله نشان دهنده کارایی راهبرد ما در انواع کاربردها می باشد. دقت کنید

که در این بخش ابعاد رابط سیلیکانی معادل موارد حداقل پیش بینی شده با آی تی آر اس به ازای سال ۲۰۱۸ می باشد. به ازای رابط سیلیکانی ضخیم تر و یا تراکم های رابط سیلیکانی عریض تر، که امروز مسئله رایجی است، رویکرد ما باعث کاهش عمده تر در مصرف نیرو و قدرت رابط سیلیکانی می گردد (برای نمونه تا ۴۸٪ به ازای $r = 2 \mu\text{m}$ و $d = 8 \mu\text{m}$).

۸- نتیجه گیری

این اثر رویکردی برای کاهش مصرف نیرو و قدرت رابط سیلیکانی با چیدمان هوشمند، آگاه به تاثیر فیزیکی، بیت به رابط سیلیکانی محلی مطرح می کند که از ویژگی های احتمالی بیت داده های انتقالی بهره می برد. تحلیل های مجموعه عمده جریان داده های ترکیبی و حقیقی اهمیت و کارایی رویکرد کم مصرف تاکید دارد که می تواند مصرف قدرت و نیرو رابط های سیلیکانی مدرن را تا ۴۰٪ کاهش دهد، بدون اینکه هزینه های مازاد چشمگیر تحمیل کند.

References

- [1] V. F. Pavlidis *et al.*, *Three-Dimensional Integrated Circuit Design*. Elsevier Science & Technology Books, 2017.
- [2] D. H. Kim and S. K. Lim, *Impact of TSV and device scaling on the quality of 3D ICs*. Springer, 2015, pp. 1–22.
- [3] A. Garcia *et al.*, "Low-power coding: trends and new challenges," *Journal of Low Power Electron.*, 13(3):356–370, 2017.
- [4] C. Xu *et al.*, "Compact AC modeling and performance analysis of through-silicon vias in 3-D ICs," *IEEE Trans. Electron Devices*, 57(12):3405–3417, 2010.
- [5] L. Bamberg *et al.*, "Edge effects on the TSV array capacitances and their performance influence," *Integration, the VLSI Journal*, 61:1–10, 2018.
- [6] L. Bamberg and A. Garcia, "High-level energy estimation for submicrometric TSV arrays," *IEEE Trans. Very Large Scale Integ. (VLSI) Systems*, 25(10):2856–2866, 2017.
- [7] S. Piersanti *et al.*, "Algorithm for extracting parameters of the coupling capacitance hysteresis cycle for TSV transient modeling and robustness analysis," *IEEE Trans. Electromagn. Compat.*, 59(4):1329–1338, 2017.
- [8] A. E. Engin and S. R. Narasimhan, "Modeling of crosstalk in through silicon vias," *IEEE Trans. Electromagn. Compat.*, 55(1):149–158, 2013.
- [9] C. Qu *et al.*, "Modeling and optimization of multiground TSVs for signals shield in 3-D ICs," *IEEE Trans. Electromagn. Compat.*, 59(2):461–467, 2017.
- [10] Y. Peng *et al.*, "Silicon effect-aware full-chip extraction and mitigation of TSV-to-TSV coupling," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, 33(12):1900–1913, 2014.
- [11] J. Cho *et al.*, "Modeling and analysis of through-silicon via (TSV) noise coupling and suppression using a guard ring," *IEEE Trans. Compon. Packag. Manuf. Technol.*, 1(2):220–233, 2011.
- [12] Z. Xu and J. Q. Lu, "Three-dimensional coaxial through-silicon-via (TSV) design," *IEEE Electron Device Lett.*, 33(10):1441–1443, 2012.
- [13] R. Kumar and S. P. Khatri, "Crosstalk avoidance codes for 3D VLSI," in *Design, Automation Test in Europe Conf. Exhibition (DATE)*, 2013, pp. 1673–1678.
- [14] Q. Zou *et al.*, "3DLAT: TSV-based 3D ICs crosstalk minimization utilizing less adjacent transition code," in *2014 19th Asia and South Pacific Design Automation Conf. (ASP-DAC)*, 2014, pp. 762–767.
- [15] X. Cui *et al.*, "An enhancement of crosstalk avoidance code based on fibonacci numeral system for through silicon vias," *IEEE Trans. Very Large Scale Integ. (VLSI) Systems*, 25(5):1601–1610, 2017.
- [16] C. Duan *et al.*, *On and off-chip crosstalk avoidance in VLSI design*. Springer, 2010.
- [17] D. Lie *et al.*, "Impact of heterogeneous technology integration on the power, performance, and quality of a 3D image sensor," *IEEE Trans. Multi-Scale Comput. Syst.*, 2(1):61–67, 2016.
- [18] P. E. Landman and J. M. Rabaey, "Architectural power analysis: The dual bit type method," *IEEE Trans. Very Large Scale Integ. (VLSI) Systems*, 3(2):173–187, 1995.
- [19] T. Bandyopadhyay *et al.*, "Rigorous electrical modeling of through silicon vias (TSVs) with MOS capacitance effects," *IEEE Trans. Compon. Packag. Manuf. Technol.*, 1(6):893–903, 2011.
- [20] R. A. Brualdi, *Combinatorial matrix classes*. Cambridge University Press, 2006.
- [21] V. Granville *et al.*, "Simulated annealing: a proof of convergence," *IEEE Trans. Pattern Analysis and Machine Intell.*, 16(6):652–656, 1994.
- [22] F. Niklaus and A. C. Fischer, "Heterogeneous 3D integration of MOEMS and ICs," in *2016 Int. Conf. on Optical MEMS and Nanophotonics (OMN)*, 2016, pp. 1–2.
- [23] S.-Y. Lee and A. Ortega, "A novel approach of image compression in digital cameras with a Bayer color filter array," in *Int. Conf. on Image Processing*, 2001, pp. 482–485.
- [24] M. Palesi *et al.*, "Data encoding schemes in networks on chip," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, 30(5):774–786, 2011.

این مقاله، از سری مقالات ترجمه شده رایگان سایت ترجمه فا میباشد که با فرمت PDF در اختیار شما عزیزان قرار گرفته است. در صورت تمایل میتوانید با کلیک بر روی دکمه های زیر از سایر مقالات نیز استفاده نمایید:

لیست مقالات ترجمه شده ✓

لیست مقالات ترجمه شده رایگان ✓

لیست جدیدترین مقالات انگلیسی ISI ✓

سایت ترجمه فا ؛ مرجع جدیدترین مقالات ترجمه شده از نشریات معتبر خارجی