ترجمه فا
TarjomeFa.Com

ارائه شده توسط:

سایت ترجمه فا

مرجع جدیدترین مقالات ترجمه شده

از نشریات معتبر

# طراحی بافرهای کانال باصرفه در مصرف انرژی با مسیریاب کنارگذرکننده برای شبکه ها-بر روی-تراشه (NoCها)


## چکیده

معماری های شبکه بر روی تراشه (NOC) به سرعت در حال تبدیل شدن به یک راه حل جذاب برای رسیدگی به مشکلات تاخیر ارتباط داخلی در چندپردازنده های تراشه (CMPS) است. با این حال، تلفات توان افزایش یافته و بهبود عملکرد محدود، به کارگیری گسترده NOCها را کاهش داده است. در این مقاله، ما دو روش بافرهای کانال تطبیقی و خط لوله مسیریاب کنارگذرکننده را برای کاهش همزمان مصرف برق و بهبود عملکرد ترکیب می نماییم. مصرف توان را می توان با کاهش اندازه بافرهای مسیریاب کاهش داد. با این حال، همانطور که کاهش بافرهای مسیریاب به تنهایی به طور قابل توجهی عملکرد را تنزل خواهد داد، ما با استفاده از بافرهای جدید پیشنهاد شده کانال دو وظیفه ای این مورد را جبران می کنیم که اجازه می دهد تغییر مکان ها در زمان مورد نیاز روی سیم ذخیره شود. تکنیک کنارگذرکننده شبکه، از طرف دیگر، اجازه می دهد تا تغییر مکان های خط لوله مسیریاب کنارگذر شود نمایند و در نتیجه از بافرهای مسیریاب جلوگیری می کند. ما دو تکنیک را ترکیب می کنیم و برای حفظ تغییر مکان ها روی سیم ها از منبع به مقصد تلاش نماییم. نتایج شبیه سازی های ما در مورد روش ارائه شده با ترکیب دو روش، کاهش توان کلی ۶۲٪ را در خط اصلی ارائه می دهد و عملکرد (توان و زمان تاخیر) بیش از ۱۰٪ بهبود می یابد.



**کلمات کلیدی**:شبکه- روی- تراشه ها (NOCها)، بافرهای کانال، مسیریاب کنارگذرکننده


## ۱. مقدمه

همانطور که صنعت، معماری های چند هسته ای شامل ده ها و صدها هسته را در آینده ایجاد می کند، شبکه های ارتباط داخلی بر روی تراشه به عنوان یک کاندیدای امیدوار کننده برای حل مشکل تاخیر-سیم پدید آمده است که چندپردازنده های تراشه کنونی (CMP)با آن مواجه هستند [2],[1]. هرچند، یکی از چالش های مهم پژوهشی

کنونی که طراحان شبکه ارتباط داخلی بر روی تراشه در حال حاضر با آن مواجه هستند، مشکل اتلاف توان است. [3]. به طور مثال، در معماری پردازنده Intel TeraFLOPS، ارتباط داخلی، بیش از ۲۸٪ از بودجه توان کل را زمانی که بودجه توان مورد انتظار باید کمتر از ۱۰ درصد باشد، مصرف می کند. [4] معماری های NoC، به ترتیب برای انتقال داده ها و مسیریابها به منظور وظایف ذخیره سازی، واسطه گری و سوییچینگ انجام شده توسط بافرهای ورودی، داوران و کراس بار (کراس بار) توسط لینک هایی مشخص می شود. توان برای برقراری ارتباط داده ها در سراسر لینک ها و همچنین برای تغییر و ذخیره سازی در مسیریابها تلف می شود [۳]. با نیاز رو به افزایش برای معماری های کم توان، تحقیقات NoC روی بهینه سازی طراحی بافر [۵]، [۶]، [۷]، به حداقل رساندن توان کراس بار [۴]، [۸]، و استفاده از اتصالات داخلی سه بعدی متمرکز شده است [۹].

طراحی مسیریاب مدولار تضمین می کند که پهنای باند شبکه و ذخیره سازی به طور مساوی بین همه کانال های ورودی و بسته ها به اشتراک گذاشته می شود. این به اشتراک گذاری موثر از منابع (بافرها و کانال) با پیاده سازی مسیریابی، کانال مجازی (VC) و سوییچ نمودن وظایف تخصیص در حوزه مسیریاب بر مبنای گام به گام به دست می آید. در حالی که به اشتراک گذاری منابع، به کاربرد بهبود می بخشد، به تاخیرات اضافی دیده شده توسط هر بسته/تغییر مکان عبوری از منبع به مقصد منجر می گردد. به تازگی، Express Virtual Channel (EVCs) [10] بر اساس کنترل جریان، کنارگذر کردن بافرینگ برای برخی از بسته های شبکه، داوری، و تعویض کراس بار را در یک بعد از مسیریاب های روی تراشه میسر نموده است و در نتیجه زمان بیکاری و کاهش مصرف برق را بهبود داده است. با این حال، در دسترس بودن بافر از طریق سیستم مبتنی بر اعتبار و اطلاعات VC باید به صراحت در سراسر گره های متعدد EVC دارای برقراری ارتباط گردد که به نوبه خود باعث افزایش پیچیدگی طراحی می شود. [11] NOCHI اخیر طراحی شده توسط EVCها با میسر نمودن انتشار اطلاعات بافر/VC برای تمام گره ها با استفاده از سیم های کم نوسان چند نقطه ای گسترش یافته است که بر برخی از کاستی های طراحی EVC غلبه نموده است. با این حال، NOCHI متکی به استفاده از سیم های کلی است که نیاز به یک صفحه کنترل جداگانه دارد. این صفحه کنترل اضافی بیش از حد به مساحت می افزاید. علاوه بر این، انتشار تبادل اطلاعات در هر گره،

مصرف توان را زیاد می کند (۰,۶ mW/TX و 0.4 mW/RX). با توجه به بودجه توان ضعیف، این طرح شاید در جایی مناسب باید که در آن عملکرد مانند سیستم های زمان واقعی از مصرف انرژی مهم تر است.

کاهش اندازه بافرهای مسیریاب ورودی، یک روش طبیعی برای کاهش توان خواندن / ارسال یک تغییر مکان و سربار حوزه مسیریاب می باشد. با این حال، عملکرد شبکه و کنترل جریان در ابتدا توسط بافرهای ورودی [۱۲] مشخص می شوند. اخیراً، iDEAL (لینک های مقرون در مساحت و انرژی بین مسیریاب با دو وظیفه) [7]، [13] برای کاهش اندازه بافر و مینیمم نمودن تنزل عملکرد ناشی از اندازه کاهش یافته بافر پیشنهاد شد که تکرارکننده های موجود در کانال های بین مسیریاب به عنوان بافر در طول کانال در زمان مورد نیاز، دو برابر می شوند. طرح های تحقیقاتی برای بهینه سازی عملکرد از تکرارکننده نشان داده است که تکرار نیز می توانند برای نمونه برداری و نگه داشتن مقادیر داده ها و در نتیجه ذخیر مقادیر روی کانال ها [۱۴] طراحی شوند. علاوه بر این، iDEAL استفاده از تخصیص بافر پویا را برای توانایی اشغال بافر بالاتر میسر می سازد که در آن فضا بر اساس هر تغییر مکان حفظ می شود.

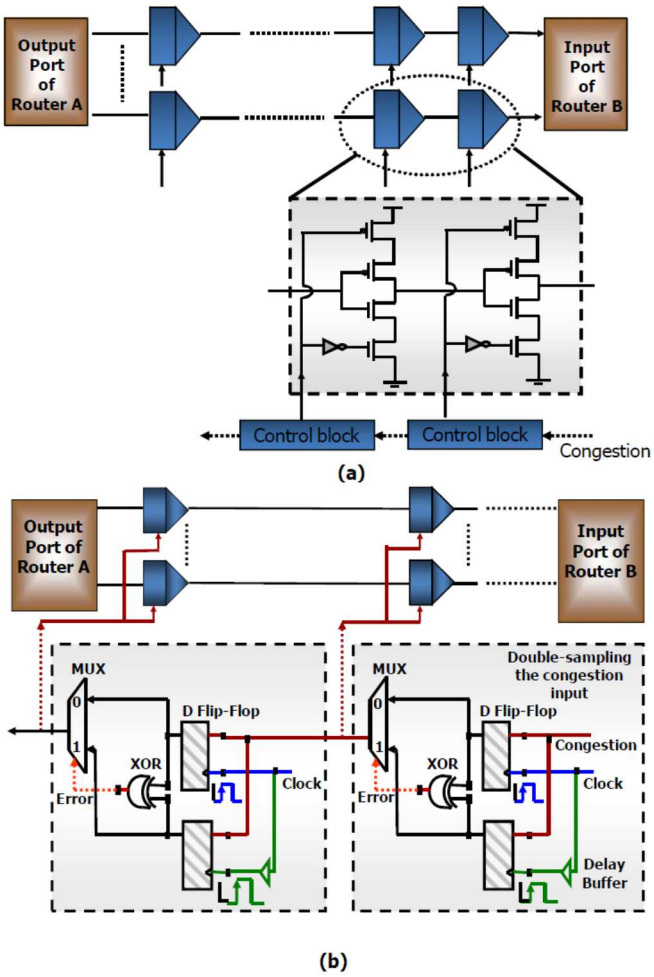
در این مقاله، ما تکنیک ایده آل را با کنارگذر کردن موثر، برای کاهش توان و بهبود عملکرد به طور همزمان ترکیب می نماییم. ما با ترکیب تکنیک های مداری و معماری برای کاهش مصرف توان بدون تنزل فاحش در عملکرد، رویکرد صرفه جویی در مساحت و توان ایده آل را اتخاذ می نماییم. در این لینک ها، ما پیشرفت ها در سطح مدار را برای تکرارکننده های موجود به کارگیری می نماییم به طوری که آنها به عنوان بافرها در زمان مورد نیاز دو برابر می شوند. در بافرهای مسیریاب، ما تکنیک های معماری مانند تخصیص بافر پویا را برای جلوگیری از تخریب عملکرد به کارگیری می نماییم. برای کاهش بیشتر توان و بهبود عملکرد، ما قادر به کنارگذرکننده خط لوله مسیریاب خواهیم بود. هنگامی که یک تغییر مکان از طریق کنارگذرکننده به طور مستقیم به خروجی مسیریاب عبور نماید، از انرژی خواندن / نوشتن بافرهای ورودی، که موجب صرفه جویی قابل توجه در توان می شود، اجتناب می نماید. علاوه بر این، زمانی که این به طور مستقیم به خروجی مسیریاب پیش بینی می شود، تاخیر بسته را زمانی که از خط لوله مسیریاب اجتناب می نماید بهبود می بخشد. زمانی که ما ذخیره اضافی را روی سیم ها به دلیل طراحی iDEAL

داشته باشیم، می توانیم بسته را بر مبنای در هر گام کنارگذر نماییم، برخلاف EVC که نیاز به تصریح نمودن گسترش کنترل چند گامی دارد یا NOCHI که نیاز به انتشار اطلاعات کنترل دارد. این کار مسیریابی بسته ها را سیم به سیم از گره منبع به گره مقصد در بارهای کم قادر می سازد. با این حال، در بارهای بالا، مسدود کردن احتمال، به دلیل انتقال سیم به سیم افزایش می یابد. بنابراین، ما یک کراس بار بزرگتر ۱۰ × ۵ را برای ارائه راه کنارگذرکننده در تمام بارها طراحی می نماییم. اگر چه کراس بار بزرگتر، مساحت بیشتری را اشغال می کند، کار اخیر در مسیریاب ها با منشا بالا نشان می دهد که این طرح ها برای شبکه ها در تراشه [۱۵] امکان پذیر می باشند. علاوه بر این، کراس بار دو-پمپ طراحی شده برای Intel Teraflops که اندازه کراس بار را تا ۵۷٪ کاهش می دهد می تواند برای طراحی ما اتخاذ شود. طراحی های سنتز شده با استفاده از Synposys Power Compiler در فناوری ۹۰nm در ۵۰۰ مگاهرتز و ۱٫۰ ولت، نشان دهنده کاهش توان ۷۵٪ در بارهای کم و ۶۲٪ در بارهای بالای شبکه نسبت به خط اصلی است. با ترکیب بافرهای کانال سازگار با کنارگذرکننده، شبیه سازی شبکه چرخه دقیق در توپولوژی شبکه مش ۸ × ۸ نشان دهنده بهبود توان کلی ۱۰٪ برای تمام ترافیک شبکه است. در ادامه، ما به طور خلاصه بافرهای کانال تطبیقی و کنارگذرکننده موثر مورد استفاده در طراحی ارائه شده را توصیف می کنیم.

## ۲. بافرهای کانال تطبیقی

در این بخش، ما جزئیات پیاده سازی لینک های عملکرد دوگانه و منطق کنترل مرتبط با آن را بیان می کنیم. شکل ۱ (الف) نشان می دهد ارتباط داخلی تکرارکننده درج شده با تکرارکننده های معمولی جایگزین شده با تکرارکننده های سه حالته است [۱۴]. در حالی که طراحی تکرار سه حالته از [۱۴] اتخاذ شده است، ما به طور قابل توجهی در اجرای منطق کنترل همانطور که بعداً توضیح داده خواهد شد تمایز قائل می شویم. یک مرحله از تکرارکننده سه حالته شامل بخش قرار داده شده تکرارکننده سه حالته در طول تمام سیم ها در این لینک می شود. زمانی که ورودی کنترل برای یک مرحله تکرارکننده پایین باشد، تکرارکننده های سه حالته در آن مرحله، مانند تکرارکننده های رایج منتقل کننده داده ها عمل می کنند. زمانی که ورودی کنترل برای مرحله تکرارکننده بالا باشد،

تکرارکننده ها در آن مرحله، سه حالته هستند و بیت داده ها را در موقعیت نگه می دارند. زمانی که تراکم سبک می شود، منطق کنترل از کار می افتد و تکرارکننده های سه حالته به حالت عملکرد عادی خود باز می گردند. لینک های تطبیقی دو وظیفه ای، کاهش در تعداد بافرها را درون مسیریاب میسر می سازد و در توان و مساحت به طور قابل توجهی صرفه جویی می کند.




شکل ۱: (الف) یک لینک برای استفاده در تکرارکننده سه حالته که به عنوان بافرهای کانال در طول تراکم عمل می نمایند. (ب) بلوک کنترل برای استفاده در تکنیک نمونه-دوبل خودکنترل کننده.

بلوک کنترل، اجازه می دهد تا لینک وارد شده تکرارکننده سه حالته به عنوان لینک دو وظیفه ای در مدت تراکم عمل نماید. یک بلوک کنترل تک برای کنترل وظیفه تمام تکرارکننده ها در یک مرحله کافی است. بنابراین، سربار مداربندی کنترل در مقایسه با صرفه جویی در توان و مساحت به دست آمده توسط کاهش اندازه بافر مسیریاب قابل

چشمپوشی است. در شکل ۱(ب)، بلوک کنترل با استفاده از یک تکنیک نمونه برداری-دوبل خودکنترل کننده پیاده سازی می شود که عملیات قابل اطمینان در فرکانس های بالا را میسر می سازد. سیگنال تراکم ورودی توسط دو فلیپ فلاپ که با سرعت ساعت یکسان کار می کنند نمونه برداری می شود. اما این دو ساعت به طور مختصر با توجه به یکدیگر تاخیر دارند به طوری که اطمینان حاصل شود که داده ها بر خلاف هر خطای زمانبندی در سیگنال داده ها به درستی در حاشیه انحراف ساعت آشکار می شوند. مالتی پلکسر، داده های نمونه برداری شده را در میزان انحراف ساعت، در مورد یک خطا انتخاب می کند. هرچند این مدار به طور مختصر مساحت و توان بیشتری را مصرف می کند. یک عملکرد قابل اطمینان عاری از خطا را تحت فرکانس های متغیر ارائه می دهد.

بلوک کنترل در شکل ۱(ب) نسبت به طراحی با استفاده از یک خط کنترل تکرارکننده-قرار داده متعارف [۱۴] کارآمد تر است، همانطور که بلوک کنترل مزایای زیر را فراهم می کند: (۱) مدار کنترل به عنوان یک ماژول تاخیر و همچنین یک تکرار کننده برای سیگنال تراکم رفتار می کند.

بر خلاف تکرارکننده های معمولی، مدار کنترل نشان داده شده در شکل ۲ به دقت در سرعت های ساعت متغیر را عمل می کند و بازیابی-خطا را در صورت خطاهای زمانبندی میسر می سازد. (۲) بلوک کنترل را می توان توسط مدارات ساعت زمانی که هیچ تراکمی وجود دارد، خاموش نمود که در نتیجه مصرف برق را در طول خط کنترل تراکم کاهش می دهد.

## ۳. معماری مسیریاب

در این بخش، ما ابتدا به توصیف معماری مسیریاب عام می پردازیم. سپس ما گسترش هایی را برای پیاده سازی کنارگذر مسیریاب و مدیریت بافر دینامیک پیشنهاد می کنیم.

### ۳,۱ مسیریاب NoC عام

شکل ۲ (الف) نشان دهنده NOCS کلی سوئیچ بسته شده است که در آن هر عنصر پردازش کننده (PE) به یک جزء NoC (مسیریاب)، با اکثر NOCS های رایج اتخاذکننده توپولوژی های شبکه مانند مش، یا طبقه تا شده برای نظم و مدولاریته متصل می شود [۱]، [۲]، [۴]، [۱۰]. در سوییچینگ چاله کرم، هر بسته که به پورت ورودی می

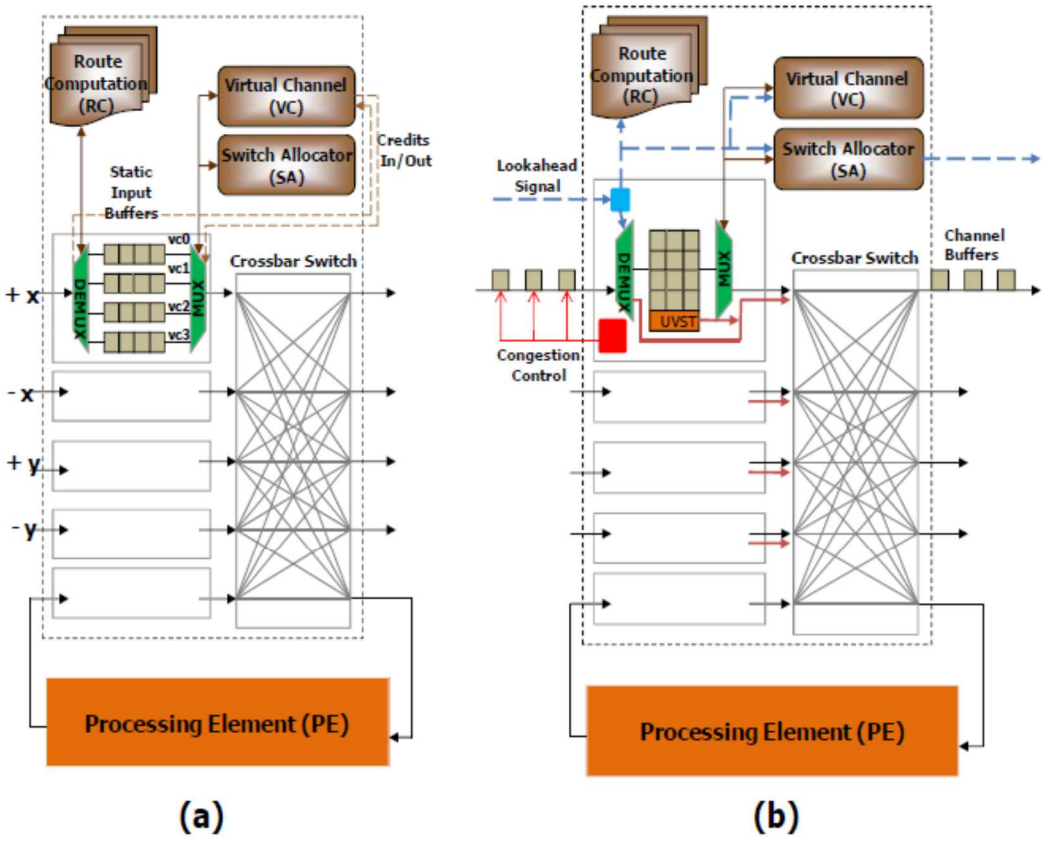
رسد از طریق مراحل خط لوله مسیریاب پیشرفت می کند (محاسبات مسیریابی (RC)، تخصیص کانال مجازی (VA)، تخصیص سوییچ (SA)، پیمایش سوئیچ (ST))، قبل از آنکه به پورت خروجی مناسب تحویل داده می شود [12]. در هر مسیریاب میانی، تنها تغییر مکان هدر برای هر بسته، مسئول دو مرحله اول خط لوله RC و VA است که در آن تغییر مکان های فردی برای مرحله SA داوری می کنند. هر مرحله خط لوله مسیریاب برای هر عمل نیاز به یک سیکل کلاک تک دارد. پس از ST، نقل مکان کردن بر روی کانال بین مسیریاب در مرحله پیمایش لینک (LT) منتقل می شود.

برای یک معماری مسیریاب با P پورت، پورت/ VCهای v و r VC/ بافرهای تغییر مکان، تعداد کل بافرها/پورت برابر z=vr است. در شکل ۲(الف)، یک معماری عام مسیریاب ۵*۵ با ۴ VC و ۴ بافر تغییر مکان (P=5، v=4 و r=4). هر ورودی VC با یک جدول حالت VC مرتبط می شود. [6]، [12]. این کار، حالت برای هر بسته آمده را حفظ می کند و اطمینان می دهد که تغییر مکانهای بدنه به پورت خروجی صحیح مسیریابی شده اند. این مورد شامل VCID (شناسه VC) از تغییر مکان آمده می شود که سوییچ زنی DEMUX را برای ورودی صحیح VC، RP (نشانگر خواندن) و WP (نشانگر نوشتن) برای خواندن تغییر مکان در بافر و نوشتن آن به کراس بار میسر می سازد. OP (پورت خروجی) و OVC (VC خروجی) توس مراحل RC و VA برای تغییر مکان سر فراهم می شوند. هر VC با اعتبارهای r معتبر می شود و هر تغییر مکان منتقل شده رو به پایین یک اعتبار، مصرف می شود.

### ۳,۲ پیاده سازی کنارگذر مسیریاب

شکل ۲ (ب) نشان دهنده پیاده سازی کنارگذرکننده مسیریاب ارائه شده است. برای پیاده سازی انشعاب از خط لوله مسیریاب، هر تغییر مکان برای بسته با یک سیگنال پیش بینی مرتبط می شود.. این سیگنال، منابع را در مسیریاب بعدی قبل از اینکه تغییر مکان ها به مسیریاب پایین دست برسد رزرو می نماید. این اجازه خواهد داد تا تغییر مکان های مراحل خط لوله مسیریاب را در RC، VA و SA کنارگذر نماید و در نتیجه زمان تاخیر را کاهش دهد. کنارگذرکننده نیز انرژی خواندن / نوشتن بافر را زمانی که تغییر مکان به طور مستقیم به کراس بار هدایت می شود، کاهش می دهد. این سیگنال، آدرس مقصد مسیریاب را برای بسته ایجاد خواهد کرد. برای معماری NoC هسته N

64 =، ما ۶ بیت ( log2 (N)) برای پیاده سازی پیش بینی نیاز داریم. اجازه بدهید ابتدا تغییر مکان  سر بسته را در نظر بگیریم. هنگامی که سیگنال پیش بینی برای تغییر مکان سر به یک چرخه از بسته برسد، به اطلاعات مسیریابی، تخصیص VC، تخصیص سوئیچ و در دسترس بودن اعتبار به صورت موازی دسترسی پیدا می کند. طرح های اخیر نشان داده است که مرحله VA ارائه دهنده طولانی ترین مسیر حیاتی است و می تواند در یک سیکل ساعت تنها [۱۰] جایگزین شود. با این حال، همانطور که ما (۱) به صورت پویا بافرها را تخصیص می دهیم که اشغال بالاتر را تضمین می کند و (۲) سیگنال تراکم را پیاده سازی می کند که باعث خواهد شد هر زمان که ما بافرها نمام شوند، ذخیره سازی بر روی سیم ها آغاز شود، در دسترس بودن اعتبار برای طرح پیشنهادی مهم نیست. این فشار حمایتی توسط مسیریاب بالادست احساس می شود که نهایتاً انتقال را متوقف می کند.




شکل ۲: (الف) یک معماری مسیریاب NoC ۵*۵ عام (ب) پیاده سازی کنارگذرکننده پیشنهادی

اگر VC و دسترسی سوئیچ موفق نباشند، سیگنال پیش بینی (۱)دی ماکس را برای مسیر کنارگذر ( نشان داده شده با رنگ قرمز) و (۲) اضافه کردن ورودی برای جدول حالت VC را برای نشان دادن اینکه که تغییر مکان های برای VC اختصاص داده باید کنار گذر شوند، تنظیم می نماید. سپس سیگنال پیش بینی به مسیریاب پایین دست در چرخه بعدی منتقل می شود. هنگامی که تغییر مکان به مسیریاب می رسد، بلافاصله به کراس بار سوییچ می شود و خط لوله مسیریاب را دور می زدن و به طور مستقیم به مرحله ST می رسد. در حالی که این در حال کنار گذر شدن است، VCID (شناسه VC) را توسط جدول حالت VC رونویسی می شود. این کار تضمین می کند که بسته دارای VCID درست زمانی که به مسیریاب پایین دست می رسد. در طول کنارگذرکننده، جدول حالت VC نیز به اعتبار بازگشت مسیریاب بالادست برای نشان دادن موقعیت محل بافر آزاد باز می گردد و اعتبار را برای مسیریاب پایین دست مصرف می نماید. سیگنال پیش بینی مرتبط با تغییر مکان های بدن و دم یک چرخه پیش از رسیدن تغییر مکان واقعی به مسیریاب می رسد. در حال حاضر، سیگنال پیش بینی به جدول حالت VC برای تعیین پورت خروجی (تخصیص سوئیچ) و در دسترس بودن اعتبار دسترسی پیدا می کند. اگر آنها هر دو در دسترس باشند، یک بار دیگر تغییر مکان های بدنه و دم به طور مستقیم به کراس بار سوییچ می شود. جدول حالت VC روی VCID بازنویسی می شود و اعتبار به مسیریاب بالادست بازمی گردد در حالی که اعتبار برای مسیریاب پایین دست مصرف می شود. به این ترتیب، تغییر مکان های سیم به سیم مسیریابی می شوند که در نتیجه خط لوله مسیریاب را دور می زند که منجر به صرفه جویی در توان می شود که دارای تغییر مکان خواندن / نوشتن در بافرها نیست.

در موردی که دعوت برای کنارگذرکننده توسط تغییر مکان سر موفقیت آمیز باشد، اما سوئیچ یا اعتبارها برای تغییر مکان های دم و یا بدن در دسترس نیست، سیگنال پیش بینی تغییر مکان را روی بافرهای مسیریاب با فعال نمودن سیگنال تراکم نگه می دارد. هنگامی که سیگنال تراکم فعال باشد، تغییر مکان در بافرهای کانال ذخیره می شود و به این مسیریاب وارد می شود. هنگامی که سوئیچ اختصاص داده شود و یا اعتبار موجود باشد، هدایت، سیگنال تراکم را قادر می سازد تا تغییر مکان مسیریاب را دور بزند. در موردی که پیشنهاد برای VC و یا سوئیچ برای سر تغییر مکان به علت فقدان VC، سوئیچ و یا تعداد اعتبار ناموفق باشد، بسته بر اساس VCID در بافرهای مسیریاب روشن می

شود. در اینجا، دسترسی خط لوله مسیریاب معمولی به RC، VA، و SA رخ می دهد. زمانی که سوییچ خروجی دردسترس است، سیگنال پیش بینی به مسیریاب بعدی مرحله ST برای کنارگذر نمودن مسیریاب بعدی فرستاده می شود. تغییر مکانهای بدنه و دم، تغییر مکان سر را به بافر مسیریاب هدایت می کند و برای عبور مسیریاب وارد مرحله SA می شود.

هنگامی که سیگنال تراکم فعال می شود، مسیر کنارگذر که به دلیل به علت تغییر مکان بر روی سیم مسدود می شود. با این حال، MUX مسیریاب هنوز هم می تواند تغییر مکان های را در بافر ورودی خدمات دهی نماید. این با توجه به طراحی کراس بار است که دارای دو ورودی در هر پورت ورودی امکان پذیر است. طراحی پیشنهاد شده بر اساس هر کنارگذرکننده مسیریاب است و می تواند به هر پورت خروجی کنارگذرکننده، بر خلاف طرح های بای پس دیگر کنارگذر شود که می تواند مسیریابها را در امتداد یک بعد کنارگذر نماید.

زمانی که سیگننال تراکم فعال می شود، مسیر کنارگذر به علت یک تغییر مکان روی سیم فعال می شود. هرچند Mux مسیریاب هنوز می تواند تغییر مکان ها را در حوزه بافرهای داخلی سرویس رسانی نماید.

این با توجه به طراحی کراس بار امکان پذیر است که دارای دو ورودی در هر پورت ورودی است. طراحی پیشنهاد شده بر اساس هر دور زدن مسیریاب است و می تواند رای هر پورت خروجی کارگذر شود، بر خلاف طرح های دیگر کنارگذر که می تواند مسیریاب ها را در امتداد یک بعد واحد کنارگذر نماید. پورت های ورودی اضافه شده به کراس بار اجازه می دهد تا داخل مسیریاب تغییر مکان نماید و همچنین مسیری را که باید به طور همزمان برای پورت های خروجی مختلف روشن شود کنارگذر نماید. اگر چه این سربار مساحت را افزایش می دهد، ما به شدت به دنبال کاهش مصرف انرژی در معماری های NoC هستیم.

### ۳,۳ بافرهای مسیریاب تخصیص داده شده به صورت پویا

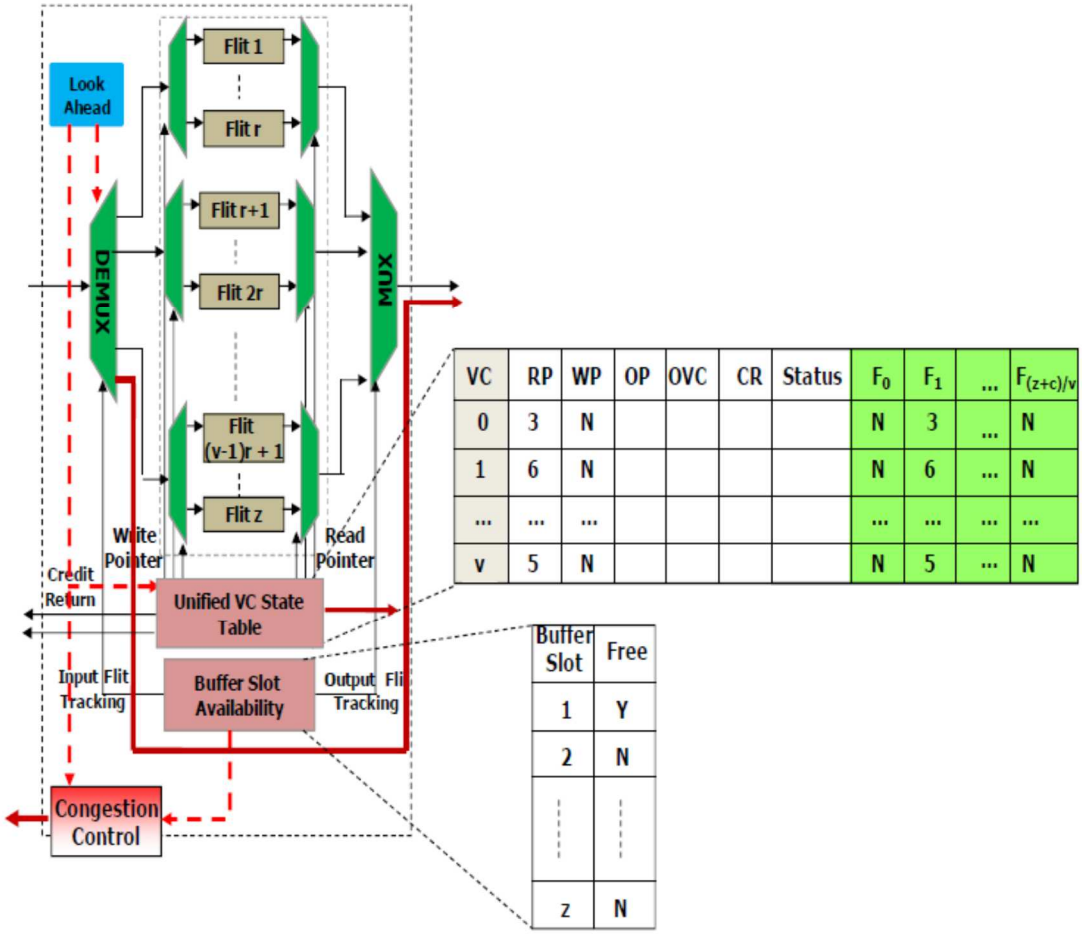
بافرهای مسیریاب تخصیص داده شده به صورت پویا با کنترل دور زدن و تراکم در شکل ۳ نشان داده شده است. در طراحی بافرهای مسیریاب تخصیص داده شده به صورت پویا، هدف ما به حداکثر رساندن توان عملیاتی شبکه بدون افزایش زمان تاخیر مسیریاب است. فهرست لینک [16] و بافرها دوار [17] هر دو دارای جریمه تاخیر یا موضوع

مقیاس بندی کراس بار هستند. همانطور که رویکرد مبتنی بر جدول ViChaR [6] موضوعات مربوط به تاخیر را حل نموده است، ما یک ایده مشابه را اتخاذ نموده ایم اما تعداد VCها برای جلوگیری از سربار کنترل اضافی محدود می شود.

شکل ۳، بافر مسیریاب تخصیص داده شده به صورت پویا را توضیح می دهد. ما معماری بافر متحد را اتخاذ و این معماری را با جدول حالات متحد VC (UVST) تقویت می نماییم. در این حالت، پورت/ VCS v ، حافظه ها/پورت بافر z و بافرهای کانال C وجود دارد، با r حدود Z / V وجود دارد. هنگامی که یک تغییر مکان جدید می رسد، اگر تغییر مکان کنارگذر شود، آنگاه سیگنال پیش بینی، DEMUX را برای خروجی مناسب تنظیم و دسترسی به UVST تنظیم می نماید. در این مورد، فرض می شود که تغییر مکان وارد بافرهای مسیریاب می شود، آنگاه VCID آن نمی تواند برای سوییچ استفاده شود، زمانی که حافظه های بافر متحد شوند. برای این هدف، ما از سیستم ردیابی (BSA) دردسترس بودن شیار بافر استفاده می کنیم. BSA، تغییر مکان های رفته/ رسیده را با حافظه های بافر اختصاص می دهد یا عوض می کند. بنابراین، DEMUX به شیار بافر فراهم شه توسط BSA در ردیابی تغییر مکان ورودی سوییچ می شود. BSA، رد تمام حافظه های بافر را که در حال حاضر دسترس هستند حفظ می کند و شیار بافر اول یافت شده که باید آزاد باشد را اختصاص می دهد. اگر شماره شیار بافر به NULL اشاره کند، آنگاه چنین شیاری می تواند برای تغییر مکان رسیده انتخاب شود. بعد از تخصیص شیار بافر به تغییر مکان آمده، آنگاه BSA، به دنبال شیار آزاد بعدی می گردد که باید تخصیص داده شود. به طور مشابه، برای یک تغییر مکان رها شده، BSA شیار بافر را با استفاده از ردیابی تغییر مکان خروجی اختصاص می دهد و شیار آزاد را به فهرست حافظه های آزاد حفظ شده در جدول می افزاید (نشان داده شده در دهانه). این تخصیص و آزاد کردن تنها برای تغییر مکان هایی رخ می دهد که وارد بافر مسیریاب می شود.

زمانی که تغییر مکان با شماره ردیابی تغییر مکان ورودی مرتبط شود که بافر تغییر مکان برای شناسایی آن هدف گذاری شده است، حال، این تغییر مکان به DEMUX دوم می رسد. در اینجا، منطق WP، تغییر مکان را برای شیار بافر اختصاص داده شده توسط BSA می نوسید. در همین چرخه، UVST، VCID تغییر مکان رسیده تازه را

شناسایی می کد و متعاقباً UVST را به روزسازی می کند. اگر تغییر مکان رسیده جدید، تغییر مکان هدر باشد، آنگاه دستخوش استفاده های معمول RC,VA,SA و ST می شود. جدول UVST شامل حافظه های بافر $F0, F1, \ldots F(z+c)/v$ علاوه بر میدان های منظم RP,WP,OP,OVC,CR و میدان های وضعیت می شود. در اینجا، میدان وضعیت برای نشان دادن این مورد استفاده می شود که آیا تغییر مکان کنارگذر خواهد شد یا خیر. کل تعداد اعتبارات به $(z+c)/v$ در هر شیار VC محدود می شود. حافظه های بافر برای شناسایی موقعیت تغییر مکان منسوب شده به VC خاص استفاده می شوند. برای اهداف منصفانه، تعداد اعتبارات به طور معادل بین تمام VCهای مختلف تقسیم می شود. مسئولیت آشکارسازی تراکم با BSA است. زمانی که BSA تنها یک نشانگر غیرخالی را در جدول پایه آن می بیند، سیگنال تراکم را تریگر می نماید.




شکل ۳: تخصیص بافر دینامیک با کنترل تراکم و پیاده سازی کنارگذر پیشنهاد شده

برای تعیین اینکه آیا بافرهای ورودی کامل هستند یا خیر، یک شمارنده کوچک که تعداد حافظه های آزاد را می شمارد حفظ می شود و زمانی که این شمارنده به یک می رسد، ما سیگنال تراکم را تریگر می نماییم. به طور مشابه یک تغییر مکان روانه شده، یک شیار بافر ازاد را خلق می کند که سیگنال تراکم را آزاد می کند. یک شیار بافر تک ترکیب شده با با یک یدک پویای VC برای هر پورت خروجی به منظور اطمینان از بازیابی حالت عدم فعالیت حفظ می شود [6]. این سیگنال تراکم به عنوان سیگنال سیم بندی شده-OR به عنوان سیگنال پیش بینی پیاده سازی می شود و BSA می تواند این سیگنال را فعال نماید.

### ۴. ارزیابی عملکرد

در این بخش، ما کنارگذر مسیریاب را ارزیابی می نماییم و لینک های دو وظیفه ای را برحسب تلفات توان، سربار مساحت و عملکرد شبکه کلی پیشنهاد می دهیم. ما مش ۸*۸ را با طراحی مسیریاب لوله بندی شده ۴ مرحله ای در نظر می گیریم. هر مسیریاب دارای P = 5 پورت ورودی است (۴ تا برای هر جهت و یکی برای PE). طراحی خط اصلی در نظر گرفته شده دارای 4 VC در هر پورت ورودی است که هر VC دارای ۴ بافر تغییر مکان در مسیریاب، با مجموع ۸۰ بافر تغییر مکان است (= ۵ * ۵ * ۴). هر بسته شامل ۴ تغییر مکان می شود و هر تغییر مکان ۱۲۸ بیت طول دارد. برای این طراحی، ما ۶ مورد مختلف را در نظر می گیریم که در آن برخی از تکرارکننده ها در طول این لینک با بافرهای لینک جایگزین می شوند و ما تخصیص و کنارگذر کردن بافر دینامیک را پیاده سازی می نماییم. برای یک مقایسه منصفانه با خط اصلی، تعداد بافرهای تغییر مکان حذف شده از مسیریاب به مجموعه بافرهای لینک اضافه می شود. در هر مورد، این طراحی در Verilog پیاده سازی می شود و با استفاده از ابزار Synopsys Design Compiler و کتابخانه فناوری TSMC 90 nm در ولتاژ منبع ۱ ولت و یک فرکانس عملیاتی 500 MHz ساخته می شود.

#### ۴,۱ تخمین توان

برای بافرهای کانال درون-مسیریاب، ما فرض می کنیم که این لینک ها باید برای شبکه مش ۲ میلی متر طول داشته باشد. در طراحی خط اصلی، ۸ تکرارکننده مرسوم قرار داده شده به طور بهینه در طور هر سیم از لینک ها با

گستره ۱۲۸ بیت وجود دارد. توان کلی مصرف شده توسط لینک در هر تغییر مکان عبوری، 2.45 mW برای ۸ * * مش است [19],[18]. زمانی که تمام تکرارکننده های مرسوم توسط بافرهای کانال جایگزین شوند، توان کلی مصرف شده در این لینک برای هر تغییر مکان عبوری 3.55 mW یافت می شود. در حضور تراکم، توان تلف شده توسط بلوک کنترل با تکنیک نمونه برداری دوبل 6.1 uW می شود. زمانی که تعداد VCها یا عمق بافر در هر VC تغییر یابد، اندازه و تعداد اجزا درون تغییرات بافر، مصرف مساحت و توان را تغییر می دهد. با در نظر گرفتن عملیات های خواندن و نوشتن در بافر، توان دینامیک کلی مصرف شده برای یک تغییر مکان ۱۲۸ بیت در بافر برابر 19.28 mW، برای طراحی خط اصلی با ۱۶ شیار بافر تخمین زده می شود. توان نشت متناظر برابر 0.26 mW یافت می شود که توان کلی 19.54 mW را در هر تغییر مکان ارائه می دهد. کاهش اندازه بافر تا ۴ شیار بافر (۲۵٪) منجر به صرفه جویی در توان تا ۲۵,۷۲٪ در مقایسه با خط اصلی می شود. زمانی که اندازه بافر به ۵۰٪ خط اصلی کاهش می یابد، توان تا ۴۰,۷۷٪ کاهش می یابد. این سوییچ در مسیریاب 0.31 mW را در هر عبور تغییر مکان، در مورد طراحی با 4 VC در هر پورت و 0.27 mW را در هر تغییر مکان عبوری در مورد 3 VC در هر پورت مصرف می کند [20].

هرچند، با ورودی های اضافی برای کراس بار، توان تلف شده در هر تغییر مکان عبوری دو برابر می شود. زمانی که ما از یک کراس بار اصلی برای دستیابی به توان کلی بالاتر استفاده نماییم، مساحت کراس بار تا ۴۰٪ افزایش می یابد. هرچند این یک افزایش اساسی در مساحت است، ما باور داریم که کراس بار دو پمپ طراحی شده برای Intel Teraflops [4] می تواند برای کار پیشنهادی ما اتخاذ شود که می تواند سربار مساحت را کاهش داد.

**۴,۲ توان عملیاتی، تاخیر و توان**

شکل ۴ نشاندهنده توان، توان عملیاتی و تاخیر برای یک NoC ۶۴ گره برای مسیرهای ترافیک غیریکنواخت و یکنواخت (بیت عبوری (BR)، پروانه (Bu)، بیت مکمل (CO))، بیت ترانسپوزه (MT)، ترکیب کامل (PS)، و تورنادو (TO) برای طرح های مختلف است. در اینجا، نشانه دنبال شده برای موارد مختلف، vnV −rnR −cnC است که در آن nv، تعداد VCها در هر پورت ورودی، nR تعداد پروانه های تغییر مکان مسیریاب در هر VC و nc تعداد بافرهای

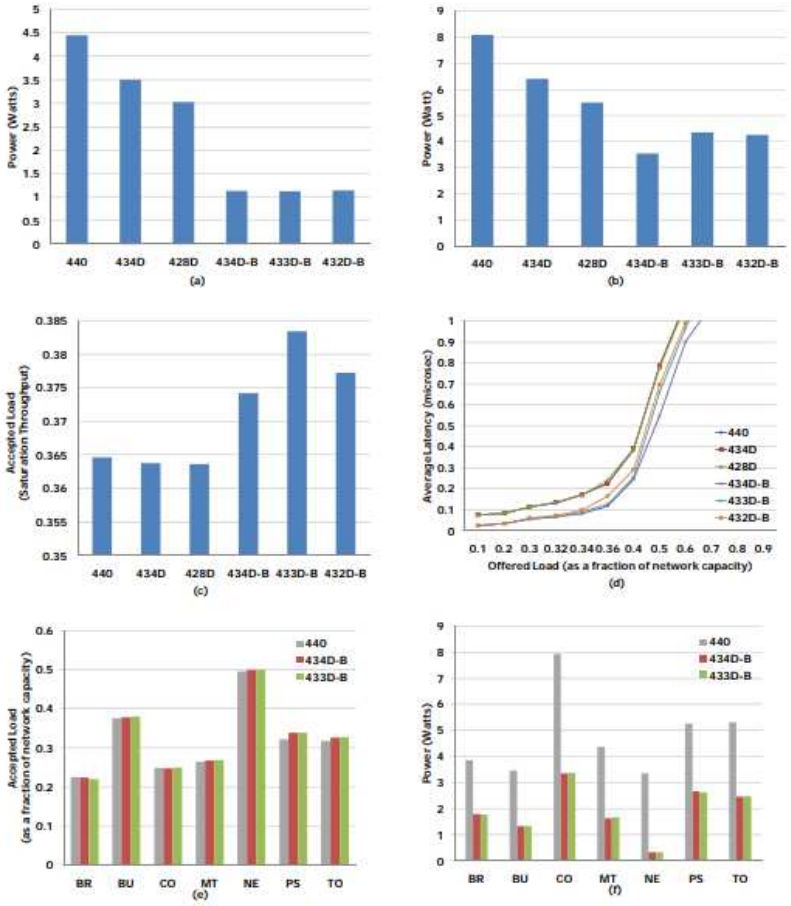
لینک است. به طور مثال، خط اصلی به صورت v4–r4–c0، که دلالت بر 4 VC در هر پورت ورودی، ۴ بافر تغییر مکان مسیریاب در هر VC و ۰ بافر لینک دارد. علاوه بر این، ما D را برای نشان دادن مدیریت بافر دینامیک و B را برای نشان دادن کنارگذر، اضافه می کنیم، بنابراین، یک 434D-B نشان دهنده 4 VC، ۳ بافر تغییر مکان، ۴ بافر کانال است و تخصیص بافر دینامیک و کنارگذر کردن پیاده سازی می شوند.

شکل ۴(الف) نشان دهنده توان مصرف شده برای پیکربندی های مختلف در بار پایین شبکه به اندازه ۰,۲ است. همانطور که شکل نشان می دهد، توان مصرف شده برای یک مسیریابی خط اصلی، ۴,۵ وات است. برای پیکربندی های 434D و 428D که اندازه بافر را کاهش می دهد و تنها مدیریت دینامیک بافر را پیاده سازی می کند، ما کاهش ۲۲ و ۳۳ درصد را در توان به دست آوردی. برای ۳ پیکربندی باقیمانده از ۴۳۴ D-B, 433D-B and 432D-B، ما تقریباً ۷۵٪ کاهش توان را به دست می آوریم. این نه تنها توسط کنارگذر کردن خط لوله مسیریاب به دست می آید، بلکه همچنین اطمینان حاصل می کند که تغییر مکان ها روی سیم ها ذخیره می شوند. ما ماکزیمم انتقال سیم به سیم را به دست می آوری که تفسیر آن، صرفه جویی اساسی در توان برای طرح پیشنهادی است.

شکل ۴(ب) نشان دهنده توان مصرف شده برای پیکربندی های مختلف در بار بالای شبکه به اندازه ۰,۵ است. زمانی که بار شبکه افزایش یابد، شبکه اشباع می شود که منجر به افزایش در تغییر مکان های ورودی به بافرهای مسیریاب می شود. این به طور مستقیم به افزایش در مصرف توان برای تکنیک هایی منجر می شود که مدیریت دینامیک بافر را پیاده سازی می کند و تغییر مکان ها را کنارگذر می نماید. به طور مثال، در این مورد، برای 428D، ما تقریباً ۳۸٪ کاهش را در مصرف توان در مقایسه با خط اصلی به دست می آوریم، در حالیکه در مقایسه با 434D-B، ما تقریباً ۶۲٪ کاهش را در مصرف توان در مقایس با خط اصلی به دست می آوریم.

شکل ۴(پ) و ۴(ت) نشان دهنده توان عملیاتی و تاخیر در پیکربندی های مختلف است. همانطور که دیده می شود، عملکرد تا ۱۰٪ برای پیکربندی 434D-B روی خط اصلی بهبود می یابد و پیکربندی هایی که تنها تخصیص دینامیک بافر را پیاده سازی می نمایند. ما ابتدائاً به علت طراحی کراس بار که اجازه می دهد تغییر مکان ها از کراس بار عول نمایند، قادر به حفظ و حتی بهبود عملکرد هستیم، زمانی که تغییر مکان کنارگذر می تواند در ورودی

مسیریاب ذخیره شود. این کار از مسدود شدن HoL جلوگیری می کند و اطمینان حاصل می کند که بسته ها از طریق مسیریاب حتی در بارهای بالا جریان پیدا می کنند. از شکل 4(ت)، می توان دید که تاخیر در بارهای پایین برای پیکربندی هایی که بافرینگ دینامیک و کنارگذر کردن را به علت انتقال سیم به سیم پیاده سازی می کنند، به طور چشمگیری کمتر است. در اشکال 4(ث) و ۴(ج)، ما توان عملیاتی و مصرف توان را برای الگوهای مختلف ترافیک ارزیابی می نماییم و روندهای مشابه کاهش در مصرف توان و بهبود در توان عملیاتی را مشاهده می نماییم.

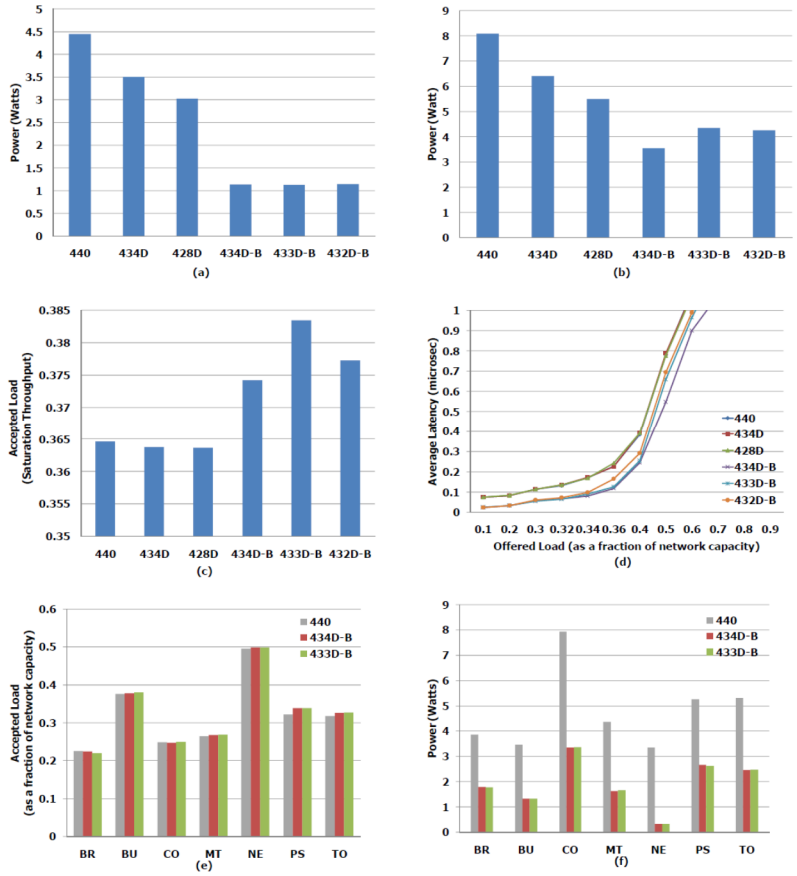



شکل ۴ .

## ۵. نتیجه گیری

در این مقاله، ما دو تکنیک از بافرهای کانال و خط لوله مسیریاب کنارگذر کننده را برای کاهش مصرف توان و بهبود عملکرد به طور همزمان ترکیب می نماییم. مصرف توان توسط کاهش اندازه بافرهای مسیریاب می تواند کاهش یابد. هرچند، زمانی که کاهش تعداد بافرهای مسیریاب به تنهایی، عملکرد را تنزل دهد، ما از استفاده از بافرهای کانال دو

وظیفه ای پیشنهادی این مورد را جبران می کنیم که ذخیره سازی تغییر مکان ها را روی سیم ها در زمان مورد نیاز میسر می سازد. تکنیک کنارگذر کردن شبکه، از طرف دیگر، به تغییر مکان ها اجازه می دهد تا خط لوله مسیریاب را کنارگذر نمایند و از اینرو از بافرهای مسیریاب جلوگیری می کند. ما دو تکنیک را در صورت اقتضا ترکیب می نماییم و برای حفظ تغییر مکان ها روی سیم ها از منبع به مقصد تلاش می نماییم. ما راهبرد ترکیبی پیشنهادی را شبیه سازی نمودیم. نتایج نشان دهنده کاهش توان کلی ۶۲٪ روی خط اصلی در بارهای بالای شبکه و بهبود عملکرد (توان عملیاتی و تاخیر) تا بیش از ۱۰٪ است.




شکل ۴: (الف) مصرف توان در بار پایین شبکه به اندازه ۰,۲ برای ترافیک یکنواخت و (ب) بار بالای شبکه به اندازه ۰,۵ برای ترافیک یکنواخت، (پ) توان عملیاتی برای ترافیک یکنواخت، (ت) تاخیر برای ترافیک یکنواخت، (ث) توان عملیاتی و (ج) توان برای Bit Reversal (BR), Butterfly (BU), Complement (CO), Matrix Transpose (MT), Neighbor (NE), Perfect Shuffle (PS) و Tornado (TO)،

برای مش ۸*۸ برای پیکربندی های مختلف شناسایی شده به عنوان vnV –rnR –cnC، که در آن nV، تعداد VCها در هر پورت ورودی، nR، تعداد بافرهای تغییر مکان مسیریاب در هر VC و nC تعداد بافرهای لینک با D (تخصیص بافر دینامیک) و B (کنارگذر کردن) است

**تقدیرات**: این تحقیقات به طور جزئی توسط کمک های مالی NSF، CCF-0538945 و ECCS-0725765 حمایت شده است.

**6. References**


[1] W. J. Dally and B. Towles, "Route packets, not wires," in *Proceedings of the Design Automation Conference (DAC)*, Las Vegas, NV, USA, June 18-22 2001.

[2] L. Benini and G. D. Micheli, "Networks on chips: A new soc paradigm," *IEEE Computer*, vol. 35, pp. 70–78, 2002.

[3] J. D. Owens, W. J. Dally, R. Ho, D. N. Jayasimha, S. W. Keckler, and L. S. Peh, "Research challenges for on-chip interconnection networks," *IEEE Micro*, vol. 27, no. 5, pp. 96–108, September-October 2007.

[4] Y. Hoskote, S. Vangal, A. Singh, N. Borkar, and S. Borkar, "A 5-ghz mesh interconnect for a teraflops processor," *IEEE Micro*, pp. 51–61, Sept/Oct 2007.

[5] J. Hu and R. Marculescu, "Application-specific buffer space allocation for network-on-chip router design," in *Proceedings of the IEEE/ACM International Conference on Computer Aided Design (ICCAD)*, San Jose, CA, USA, November 7-11 2004, pp. 354–361.

[6] C. A. Nicopoulos, D. Park, J. Kim, N. Vijaykrishnan, M. S. Yousif, and C. R. Das, "Vichar: A dynamic virtual channel regulator for network-on-chip routers," in *Proceedings of the 39th Annual International Symposium on Microarchitecture (MICRO)*, Orlando, FL, USA, December 9-13 2006, pp. 333–344.

[7] A. K. Kodi, A. Sarathy, and A. Louri, "ideal: Inter-router dual-function energy and area-efficient links for network-on-chip (noc) architectures," in *Proceedings of the International Symposium on Computer Architecture (ISCA)*, June 2008, pp. 241–250.

[8] H. S. Wang, L. S. Peh, and S. Malik, "Power-driven design of router microarchitectures in on-chip networks," in *Proceedings of the 36th Annual ACM/IEEE International Symposium on Microarchitecture*, Washington DC, USA, December 03-05 2003, pp. 105–116.

[9] S. E. Dongkook Park, R. Das, A. K. Mishra, Y. Xie, N. Vijaykrishnan, and C. R. Das, "Mira: A multi-layered on-chip interconnect for router architecture," in *Proceedings of the International Symposium on Computer Architecture (ISCA)*, June 2008, pp. 251–261.

[10] A. Kumar, L.-S. Peh, P. Kundu, and N. K. Jha, "Express virtual channels: Towards the ideal interconnection fabric," in *Proceedings of the International Symposium on Computer Architecture (ISCA)*, June 9 - 13 2007.

[11] T. Krishna, A. Kumar, P. Chiang, M. Erez, and L.-S. Peh, "Noc with near-ideal express virtual channels using global-line communication," in *Proceedings of the Proceedings of Hot Interconnects (HOTI'08)*, Stanford, California, August 2008.

[12] W. J. Dally and B. Towles, *Principles and Practices of Interconnection Networks*. San Fransisco, USA: Morgan Kaufmann, 2004.

[13] A. K. Kodi, A. Sarathy, and A. Louri, "Adaptive channel buffers in on-chip interconnection networks - a power and performance analysis," *IEEE Transactions on Computers*, vol. 57, pp. 1169 – 1181, September 2008.

[14] M. Mizuno, W. J. Dally, and H. Onishi, "Elastic interconnects: Repeater-inserted long wiring capable of compressing and decompressing data," in *Proceedings of the IEEE International Solid-State Circuits Conference*, San Fransisco, CA, USA, February 5-7 2001, pp. 346–347.

[15] J. Kim, W. Dally, B. Towles, and A. Gupta, "Microarchitecture of a high-radix router," in *Proceedings of the 32th Annual International Symposium on Computer Architecture (ISCA'05)*, June 2005, pp. 420–431.

[16] Y. Tamir and G. L. Frazier, "High-performance multiqueue buffers for vlsi communication switches," in *Proceedings of the 15th Annual International Symposium on Computer Architecture (ISCA)*, Honolulu, Hawaii, USA, May-June 1988, pp. 343–354.

[17] N. Ni, M. Pirvu, and L. Bhuyan, "Circular buffered switch design with wormhole routing and virtual channels," in *Proceedings of the International Conference on Computer Design (ICCD)*, Austin, TX, USA, October 1998, pp. 466–473.

[18] K. Banerjee and A. Mehrotra, "A power-optimal repeater insertion methodology for global interconnects in nanometer designs," *IEEE Transactions on Electron Devices*, vol. 49, no. 11, pp. 2001–2007, Nov 2002.

[19] A. K. Kodi, A. Sarathy, and A. Louri, "Design of adaptive communication channel buffers for low-power area-efficient network-on-chip architecture," in *Proceedings of the ACM/IEEE Symposium on Architectures for Networking and Communications Systems*, Orlando, Florida, December 3-4 2007.

[20] H. S. Wang, X. Zhu, L. S. Peh, and S. Malik, "Orion: A power-performance simulator for interconnection networks," in *Proceedings of the 35th Annual ACM/IEEE International Symposium on Microarchitecture*, Istanbul, Turkey, November 18-22 2002, pp. 294–305.

ترجمه فا
TarjomeFa.Com

این مقاله، از سری مقالات ترجمه شده رایگان سایت ترجمه فا میباشد که با فرمت PDF در اختیار شما عزیزان قرار گرفته است. در صورت تمایل میتوانید با کلیک بر روی دکمه های زیر از سایر مقالات نیز استفاده نمایید:

✔ لیست مقالات ترجمه شده

✔ لیست مقالات ترجمه شده رایگان

✔ لیست جدیدترین مقالات انگلیسی ISI

سایت ترجمه فا ؛ مرجع جدیدترین مقالات ترجمه شده از نشریات معتبر خارجی