



ارائه شده توسط:

سایت ترجمه فا

مرجع جدیدترین مقالات ترجمه شده

از نشریات معتبر

ترانزیستور بدون پیوند گیت-دوبل دی الکترونیک-گیت-گوناگون (HGJLT) با

اثرات تونل باند-به-باند کاهش یافته در رژیم زیر آستانه

چکیده

ما ترانزیستور بدون پیوند گیت-دوبل دی الکترونیک-گیت-گوناگون (HGJLT) را با اتخاذ یک عایق گیت با k -بالا در سمت سورس و عایق گیت با K -پایین در سمت درین پیشنهاد نموده ایم که باعث کاهش اثرات تونل زنی باند به باند (BTBT) در منطقه زیر آستانه می شود. یک ترانزیستور بدون پیوند (JLT) توسط تهی شدن حامل ها در کانال نازک بسیار دوپ شده (لایه دستگاہ) خاموش می شود که منجر به همپوشانی چشمگیر باند بین باند ظرفیت منطقه کانال و باند هدایت منطقه درین می شود که ناشی از بایاس حالت خاموش درین است و باعث تحریک الکترون ها برای تونل زنی از باند ظرفیت منطقه کانال به باند هدایت منطقه درین می شود که حفره ها را در کانال پشت سر می گذارند. این اثرات تونل زنی باند به باند موجب افزایش جریان نشتی زیر آستانه می شود و تجمع حفره ها در کانال موجب شکل گیزی یک ترانزیستور اتصال دو قطبی پارازیتی (N-P-N BJT برای کانال JLT) در جهت جانبی توسط نواحی سورس (امیتر)، کانال (بیس) و درین (کلکتور) در ساختار JLT در حالت خاموش می شود. HGJLT پیشنهادی، جریان نشتی زیر آستانه را کاهش می دهد و عمل BJT پارازیتی در حالت خاموش را با کاهش احتمال تونل زنی باند به باند سرکوب می کند.

واژه های کلیدی: ترانزیستور بدون پیوند گیت-دوبل دی الکترونیک-گیت-گوناگون؛ تونل زنی باند به باند. حالت

خاموش

۱. مقدمه

به تازگی، ترانزیستورهای بدون پیوند (JLT)، [1]، بر اساس دستگاہ [2] Lilienfeld، برای غلبه بر محدودیت مقیاس بندی ماسفت ها با توجه به مرحله های ساخت ساده LTLها در مقایسه با همین موارد در ماسفت های

معمولی مطالعه شده اند. بر خلاف ماسفت ها، ترانزیستورهای بدون پیوند، هیچ اتصال $p-n$ متالورژی ندارند. آنها دارای ساختارهای $N^+N^+N^+$ یا $P^+P^+P^+$ با بدنه نازک هستند و کانال بسیار دوپ شده و سورس، کانال و درین دارای دوپینگ یکنواخت هستند. یک JLT توسط تهی سازی حامل ها در کانال توسط تفاوت تابع کاری مناسب ماده گیت و کانال خاموش می شود و توسط رسانایی حجمی جریان از طریق نازک کانال بسیار دوپ شده روشن می شود. انواع مختلف ساختارها برای ترانزیستور بدون پیوند نیز پیشنهاد شده و ساخته شده اند، مانند معماری های (GAA) بدون پیوند نانوسیم گیت- همه طرفه. [3] معماری های نانوسیم چند-گیت با سیلیکون روی عایق (SOI) [4] و با بستر حجمی [5]، ترانزیستور بدون پیوند مسطح روی بستر حجمی [6]، ترانزیستور بدون پیوند مسطح با دوپینگ غیر یکنواخت. [7] و غیره.

بسیاری از کارهای تحقیقاتی، فیزیک ترانزیستور بدون پیوند [4,5,8,9] را بررسی نموده اند و اثر تونل زنی باند به باند (BTBT) بر روی مشخصات در مراجع [10-15] مطالعه شده است. اثر تونل زنی باند به باند، در حالت خاموش JLT با جزئیات در مرجع [10] مطالعه شده است. در حالت خاموش، جریان خاموش مناسب توسط تهی سازی حامل ها در کانال روی استفاده از تفاوت تابع کار در بین فلز گیت و کانال (ϕ_{MS}) و کاربرد بایاس درین حفظ می شود، باند هدایت درین با باند ظرفیت کانال همپوشانی می کند که باعث تحریک الکترون به تونل از باند ظرفیت کانال به باند هدایت درین (JLT کانال-n) می شود. هنگامی که یک الکترون از باند ظرفیت کانال به باند هدایت درین تونل زنی می کند، در کانال ایجاد حفره می شود و به دلیل تجمع حفره در کانال، ترانزیستور اتصال دو قطبی پارازیتی (N-P-N BJT برای کانال JLT) 10. در جهت جانبی توسط مناطق سورس (امیتر)، کانال (بیس) و درین (کلکتور) در ساختار JLT در حالت خاموش تشکیل می شود. تجمع حفره ها موجب افزایش پتانسیل یک کانال بدنه-شناور (بیس BJT پارازیتی) می شود و BJT پارازیتی را توسط بایاس مستقیم بیس-امیتر روشن می کند و منجر به جریان بزرگ درین (جریان کلکتور BJT) در حالت خاموش JLT می شود. در این زمینه، اتلاف بزرگ توان استاتیک با توجه به جریان نشتی بزرگ در حالت خاموش، که با کاهش طول گیت از یک گره فن آوری به بعدی افزایش می یابد، به یک مشکل بزرگ برای توان آماده به کار کم (LSTP) برنامه های کاربردی تبدیل می شود. در اینجا، تونل

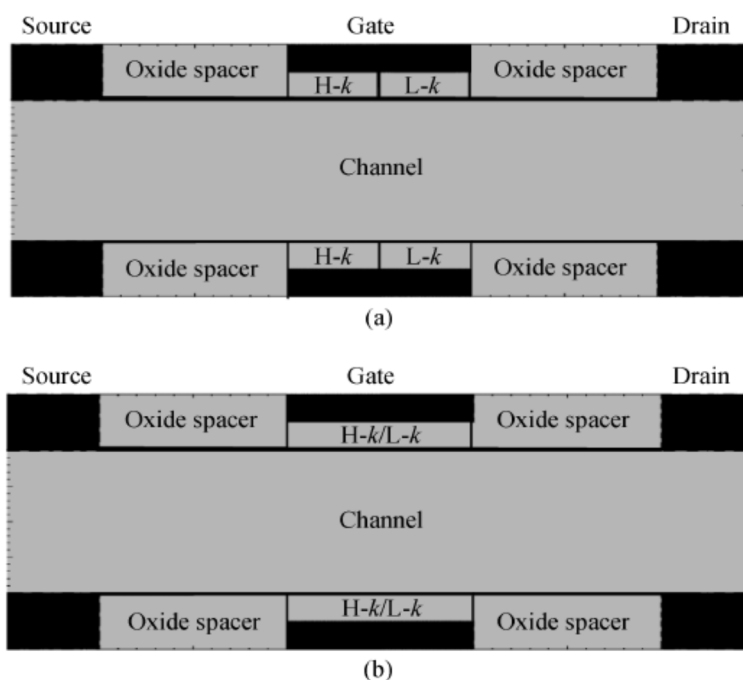
زنی باند به باند (BTBT) در حالت خاموش به طور قابل توجهی جریان نشتی زیر آستانه را تحت تاثیر قرار می دهد و باید به دقت برای کاهش اتلاف توان استاتیک حل و فصل شود.

به تازگی، ترانزیستورهای اثر میدانی تونل دی الکتريک-گیت-گوناگون (HGTFETs) به لحاظ نظری. ۱۶ پیشنهاد شده اند. ۱۷. و همچنین از تجربی. ۱۸ به منظور بهبود ویژگی های الکتريکی مورد بررسی قرار گرفته اند. نشان داده شده است که ترانزیستورهای اثر میدانی تونل دی الکتريک-گیت-گوناگون (HGTFETs) دارای جریان نشتی آمبیپولار پایین تر و شیب زیرآستانه کوچکتر بدون به خطر انداختن چگالی تراشه هستند. فیزیک جریان نشتی آمبیپولار در TFETs, همان اثر تونل زنی باند به باند در JLTS است. از این رو، با ترکیب مزایای استفاده از ساختار دی الکتريک-گیت-گوناگون و ترانزیستور بدون پیوند، ما یک ترانزیستور دی الکتريک-گیت-گوناگون گیت-دوبل بدون پیوند (HGJLT) را برای بهینه سازی ویژگی های الکتريکی با کاهش جریان تونل زنی باند به باند (BTBT) در رژیم های زیر آستانه پیشنهاد می دهیم. نشان داده شده است که HGJLT دارای جریان نشتی کمتر زیر آستانه است و عمل BJT پارازیتی را سرکوب می کند. ۱۰..

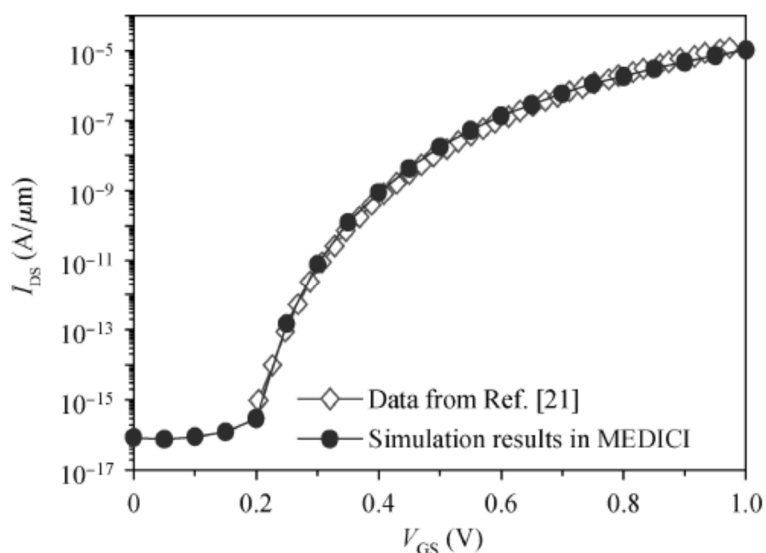
۲. ساختار و شبیه سازی دستگاه

نمای شماتیک دوبعدی از HGJLT در شکل ۱ (a) نشان داده شده است. در HGJLT, مواد دی الکتريک گیت در دو سمت سورس و درین متفاوت هستند، که می توانند توسط اچ همسانگرد اکسید سیلیکون ساخته شوند (در اینجا، ماده دی الکتريک اکسید سیلیکون گیت k-کم ماده در ساختار HGJLT) که در مرجع [۱۶] شرح داده شده است. در اینجا HfO₂ به عنوان ماده دی الکتريک گیت با k-بالا در سمت سورس و SiO₂ به عنوان ماده دی الکتريک گیت با k-کم در سمت درین استفاده می شود. فرض می کنیم که واسطه بین HfO₂ و SiO₂ ناگهانی است که در مراجع [۱۶، ۱۷] گزارش شده است و اینکه طول انتشار HfO₂ در SiO₂ تنها حدود ۰,۰۳۵ نانومتر زمانی که دستگاه در ۱۰۰۰ درجه به مدت ۵ ثانیه پخته می شود. در اینجا، HGJLT مربوط به JLT دوگان-K است که در آن نیمی از طول کل عایق گیت (JLT / LG) دوگانه-K, HfO₂ است و نیمی دیگر به SiO₂ مرتبط میشود. علاوه بر این،

برای مقایسه مشخصات الکتریکی، یک ترانزیستور بدون پیوند گیت-دوبل فقط با دی الکتریک گیت k -بالا (مربوط به JLT بالا-K می شود) و با دی الکتریک گیت k -پایین (مربوط به JLT کم-K) در شکل ۱ (b) نشان داده شده است. برای ارزیابی عملکرد HGJLT پیشنهادی، یک ترانزیستور بدون پیوند گیت دوبل (JLT) برای عملیات کانال- n در Taurus-MEDICI 2D Device Simulator شبیه سازی می شود. ۲۰. و با JLT k -بالا و JLT پایین-K مقایسه می شود. برای شبیه سازی، آمار فرمی-دیراک، مدل تحرک لومباردی با تحرک وابسته به میدان الکتریکی و غلظت وابسته به مدل Shockley-Read-Hall، مدل نوترکیبی Auger، و مدل باریک سازی باند گپ برای به حساب آوردن اثرات دوپینگ کانال بالا استفاده می شوند. یک مدل تونل زنی باند-به-باند غیر محلی (BTBT BTBT BT.LOCAL D 0 BT.MODEL D 2) موجود در MEDICI به منظور مطالعه اثرات تونل زنی باند به باند استفاده شده است و یک مدل تونل زنی باند به باند با داده های یک FET تونل گیت-دوبل با دی الکتریک گیت HfO2 در مرجع [۲۱] کالیبره شده است، همانطور که در شکل ۲ نشان داده شده است. پارامترهای مورد استفاده برای شبیه سازی JLT کانال n در جدول ۱ نشان داده شده است.



شکل ۱. ساختار شماتیک دوبعدی (a) یک HGJLT دو-K JLT، (b) ترانزیستور گیت-دوبل بدون پیوند با k بالا گیت دی الکتریک تنها (JLT بالا-K) / فقط دی الکتریک گیت با k -پایین (JLT کم-K).



شکل ۲. شبیه سازی تونل زنی نتایج باند به باند و کالیبراسیون مدل BTBT با داده های یک FET تونل گیت-دوبل با دی الکتریک گیت HfO2 در مرجع [۲۱].

پارامتر	مقدار
طول گیت (LG)	۲۰ نانومتر
طول فضاگذار اکسید	۲۰ نانومتر
دی الکتریک گیت k-بالا	HfO2
دی الکتریک گیت k-پایین	SiO2
ضخامت دی الکتریک گیت	۲ نانومتر
طول دی الکتریک گیت k-بالا (Lhfo2) در JLT k-دوبل	۱۰ نانومتر
طول دی الکتریک گیت k-پایین (Lhfo2) در JLT k-دوبل	10 نانومتر
دوپینگ سورس/کانال/درین (Nd)	10^{19} cm^{-3}
ولتاژ تغذیه (VDD)	۱ ولت

جدول ۱. پارامترهای مورد استفاده برای شبیه سازی دستگاه.

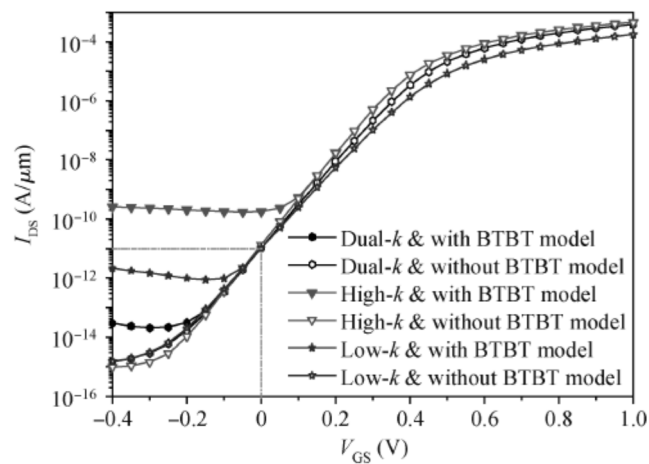
۳. نتیجه و بحث

مشخصات الکتریکی ترانزیستور بدون پیوند گیت-دوبل دی الکتریک-گیت-گونگون با مواد دی الکتریک گیت-دوبل بالا-K در سمت سورس و با K-پایین در سمت درین (JLT دوبل-K) مورد بررسی قرار گرفته است و در مقایسه با

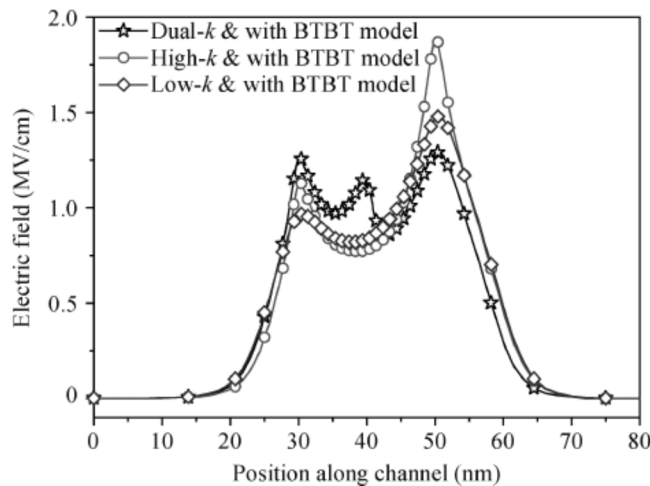
ترانزیستورهای بدون پیوند سازگار متناظر با دی الکتریک گیت بالا-k تنها (JLT بالا-K) و با دی الکتریک گیت K- پایین تنها (JLT کم-K) قرار گرفته است. برای مقایسه بهتر، توابع کاری ماده گیت برای هر سه مورد، به منظور برآورده سازی جریان حالت-خاموش $I_{off} = 10 \text{ pA}/\mu\text{m}$ برای کاربرد توان آماده به کار کم (LSTP) تنظیم می شوند. ۲۲. تابع کار گیت برای JLT k-دوگانه، JLT k-بالا و JLT k-پایین به ترتیب ۵,۱۱، ۵,۰ و ۵,۲۴ الکترون ولت در نظر گرفته می شوند.

شکل ۳ مشخصات IDS-VGS برای JLT k-بالا و JLT k-پایین با طول گیت فیزیکی $LG = 20$ نانومتر را نشان می دهد. مشاهده می کنیم که جریان نشستی زیرآستانه با مدل تونل باند به باند، در مقایسه با جریان نشستی زیرآستانه بدون مدل تونل باند به باند چند مرتبه بالاتر است. اما مشخصه زیرآستانه JLT بالا-K، از تونل زنی باند به باند در سمت درین با اثر کمتر در JLT دوگان-K بیشتر تاثیر می پذیرد. ترانزیستورهای بدون پیوند تنها با دی الکتریک گیت k-بالا (JLT بالا-K) و یا تنها با دی الکتریک گیت پایین-K (JLT کم-K) (یعنی، ترانزیستور بدون پیوند معمولی) دارای گیت یکنواخت برای کانال زنی قدرت تزویج از سورس به درین است. با توجه به بایاس درین، در حالت خاموش، پتانسیل الکترونیکی گیت-درین $(\phi_{MS} + V_{Drain})$ از پتانسیل الکترونیکی سورس-گیت (ϕ_{MS}) بالاتر است و این منجر به همپوشانی بین باند ظرفیت کانال و باند هدایت درین می شود و میدان الکتریکی بسیار بالا در سمت درین در مقایسه با سمت سورس به صورت نشان داده شده در شکل ۴ مشاهده می شود. در سمت درین، همپوشانی باند انرژی الکترونیکی با میدان الکتریکی بالا به راحتی باعث تحریک الکترون برای تونل زنی از باند ظرفیت کانال به باند هدایت درین می شود. زمانی که JLT بالا-K دارای قدرت تزویج قوی گیت به کانال قوی در مقایسه با JLT کم-K است، میدان الکتریکی بسیار بالا در سمت درین ایجاد می شود که منجر به جریان تونل زنی باند به باند برای JLT بالا-K می شود. در ترانزیستور گیت-دوبل بدون پیوند دی الکتریک-گیت-گوناگون (JLT دوبل-K) پیشنهادی، قدرت تزویج قوی گیت به کانال در طرف سورس به دلیل استفاده از دی الکتریک k بالا و قدرت گرانشی تزویج گیت به کانال ضعیف مشاهده می شود که در سمت درین به دلیل استفاده دی الکتریک گیت کم K مشاهده می شود. تزویج گیت قوی به کانال در طرف سورس، جریان حالت خاموش را به علت تهی سازی

حامل ها در کانال حفظ می کند و منجر به یک سد پتانسیل بزرگ بین سورس و کانال برای الکترون ها می شود در حالی که تزویج ضعیف گیت به کانال در سمت درین میدان الکتریکی را کاهش می دهد و منجر به کاهش احتمال تونل زنی الکترون از باند ظرفیت کانال به باند هدایت درین می شود. از این رو JLT دوگانه-K، ویژگی های الکتریکی در رژیم زیرآستانه را بهبود می بخشد. استفاده از دی الکتریک-گیت-گوناگون، جریان خاموش را تا چهار مرتبه دامنه برای یک جریان-روشن قابل مقایسه و SS در مقایسه با ساختار JLT K-بالا ساختار با مدل BTBT بهبود می بخشد، همانطور که می توان در شکل ۳ دید.

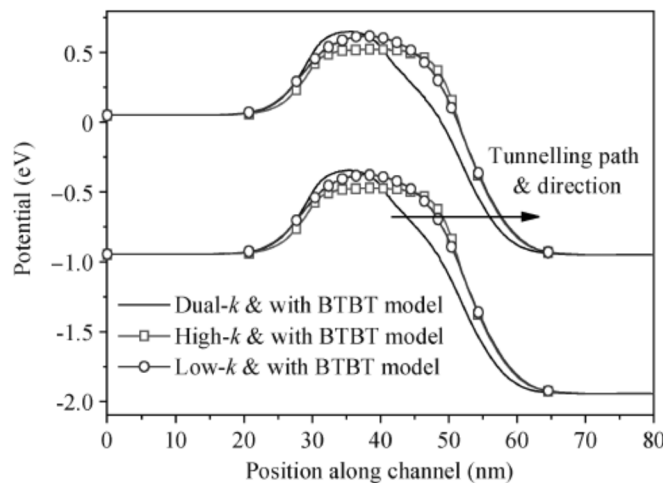


شکل ۳. مشخصات JLT دوگان-K (برای تابع کار گیت ۵,۱۱ الکترون ولت) JLT k-بالا (برای تابع کار گیت ۵,۰ الکترون ولت)، و ساختار JLT با K-پایین (برای تابع کار گیت ۵,۲۴ الکترون ولت) طول گیت $20 = LG$ نانومتر با و بدون مدل BTBT. $1 V = VDD$.

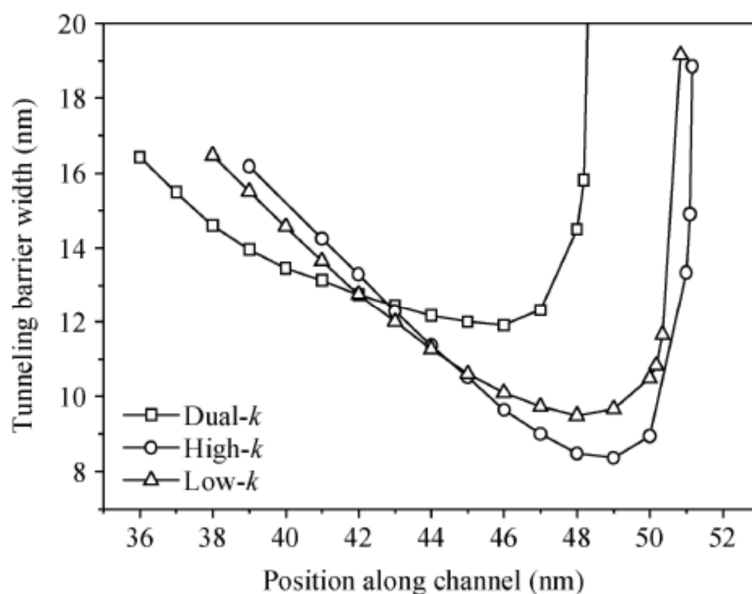


شکل ۴. میدان الکتریکی در جهت جانبی با خط-برش در ۱ نانومتر زیر دی الکتریک گیت دوگان- JLT K ساختار. JLT با k بالا و پایین- K با طول گیت $LG = 20$ نانومتر در حالت خاموش ($VGS = 0 V$ و $VDD = 1 V$).

همچنین ما نمودار باند انرژی و عرض سد تونل زنی را در جهت جانبی با خط-برش در ۱ نانومتر زیر دی الکتریک گیت برای ساختار JLT دوگان- K ، JLT با k-بالا و JLT با k-کم با طول گیت $LG = 20$ نانومتر در حالت خاموش ($VGS = 0 V$ و $VDD = 1 V$) همانطور که در شکل ۵ و ۶ نشان داده شده است، بررسی می کنیم. از شکل ۵، مشاهده می کنیم که باند هدایت و باند ظرفیت JLT بالا-K و با JLT K-پایین در مقایسه با باند هدایت و باند ظرفیت JLT دوگانه-K در سمت درین، به طور ناگهانی افت می کند. زمانی که باند هدایت و ظرفیت JLT دوگان-K- به تدریج سقوط می کند، به افزایش عرض مانع تونل زنی JLT دوگان-K در مقایسه با JLT ها با k بالا و پایین منجر می شود همانطور که در شکل ۶ نشان داده شده است. عرض مانع تونل زنی و یا فاصله تونل زنی به عنوان حداقل فاصله بین حداکثر باند ظرفیت در یک نقطه داده شده در کانال به حداقل باند هدایت در درین تعریف می شود ۱۰. زمانی که فاصله تونل زنی یا عرض مانع تونل زنی، یک جنبه اساسی از تونل زنی باند به باند است، افزایش فاصله تونل زنی JLT دوگان- K، جریان نشستی زیرآستانه را به دلیل تونل زنی باند به باند با کاهش احتمال تونل زنی (نرخ تولید BTBT) الکترون از باند ظرفیت کانال به باند هدایت درین سرکوب می کند.



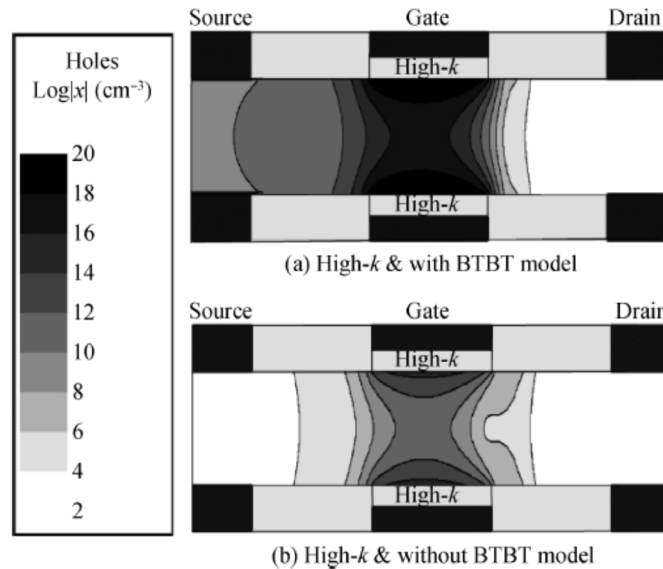
شکل ۵. نمودار باند انرژی در جهت جانبی با خط برش در ۱ نانومتر زیر دی الکتریک گیت برای ساختار JLT دوگان - K ، JLT با k بالا و JLT با K پایین با طول گیت $LG = 20$ نانومتر در حالت خاموش ($VGS = 0 V$ و $VDD = 1 V$).



شکل ۶. عرض سد تونل زنی در طول مسیر تونل زنی در جهت جانبی با خط برش در ۱ نانومتر زیر دی الکتریک گیت برای ساختار JLT دوگان - K ، JLT با k بالا و JLT با K پایین با طول گیت $LG = 20$ نانومتر در حالت خاموش ($VDD = 1 V$ و $VGS = 0 V$). عرض مانع تونل و یا فاصله تونل زنی به عنوان حداقل فاصله بین حداکثر باند ظرفیت در یک نقطه داده شده در کانال تا حداقل باند هدایت در درین تعریف می شود [10].

در حال حاضر ما رفتار BJT پارازیتی JLT را مطالعه می کنیم. الکترون ها و حفره ها در پایان مسیر تونل زنی با تونل زدن الکترون از باند ظرفیت تا باند رسانش و ایجاد یک حفره در باند ظرفیت تولید می شوند. تجمع حفره ها باعث کانال نوع p (JLT کانال n)، یک BJT پارازیتی (N-P-N) با سورس (منطقه نوع n) کانال (منطقه نوع p)، درین نوع n منطقه) در جهت جانبی دستگاه تولید می شوند. در JLT، ترانزیستور پارازیتی دو قطبی اتصال (BJT) به خاطر تونل زنی باند به باند عمل می کند و جزئیات آن در مرجع [۱۰] مطالعه شده است. در اینجا ما نشان می دهیم که

ترانزیستور دی الکتریک-گیت-گوناگون گیت-دوبل بدون پیوند (JLT دوگان-K) پیشنهادی، شانس تشکیل BJT پارازیتی را با سرکوب تونل زنی باند به باند کاهش می دهد.

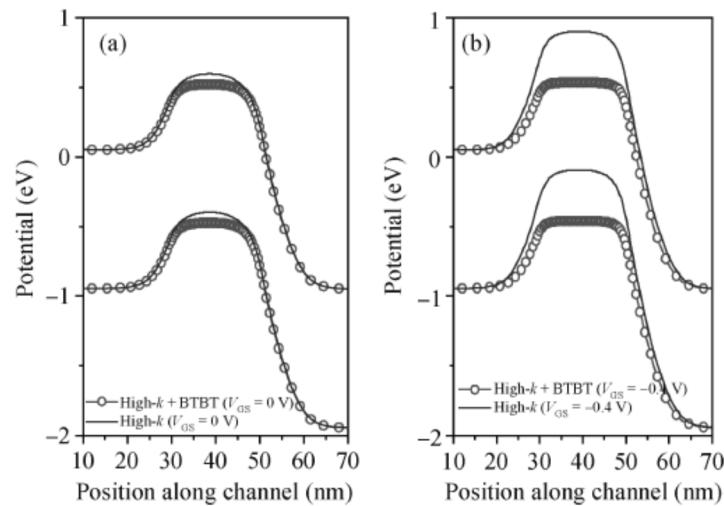


شکل ۷. نمودار دوبعدی کانتور غلظت حفره برای JLT با K- بالا با مدل BTBT و بدون مدل BTBT در حالت

خاموش ($V_{DD} = 1\text{ V}$, $V_{GS} = 0\text{ V}$).

همانطور که قبلاً بحث شد، JLT با k بالا دارای احتمال بالاتر تونل زنی الکترون است و به دلیل تونل زنی الکترون از باند ظرفیت کانال به باند هدایت درین، منجر به مقدار زیادی از تجمع حفره در کانال در حالت خاموش می شود. حفره ها در کانال می مانند و مانع بین سورس و کانال مانع جریان حفره ها از کانال به سورس می شود. شکل ۷ (a) و ۷ (b) نشاندهنده غلظت حفره JLT با K- بالا و بدون مدل BTBT می شود. از اشکال ۷ (a) و ۷ (b)، روشن است که با استفاده از مدل BTBT، در مقایسه با غلظت حفره ها در کانال بدون مدل BTBT، تعداد زیادی از حفره ها در کانال جمع می شوند و این باعث ایجاد یک BJT پارازیتی در حالت خاموش می شود. نمودار باند انرژی در شکل ۸ نشان می دهد که پتانسیل یک کانال-بدنه-شناور (بیس BJT پارازیتی) افزایش می یابد، زمانی که مدل BTBT در شبیه سازی به دلیل تجمع حفره ها در کانال گنجانده می شود. افزایش پتانسیل در بدنه-شناور (کانال) منجر به بایاس مستقیم در محل اتصال بیس-امیتر BJT پارازیتی می شود و BJT پارازیتی را روشن می کند که منجر به یک جریان درین بزرگ می شود. در JLT با K- بالا، به دلیل نرخ تونل زنی بالا، BJT پارازیتی در $V_{GS} > 0\text{ V}$ روشن می

شود و به یک جریان نشتی بزرگ در حالت خاموش ($V_{GS} = 0\text{ V}$ و $V_{DD} = 1\text{ V}$) تبدیل می شود. هنگامی که BJT پارازیتی روشن است، روشن می ماند و با کاهش ولتاژ گیت، پتانسیل کانال ثابت باقی می ماند، بر خلاف زمانی که مدل BTBT در شبیه سازی گنجانده نمی شود. تجمع حفره ها در کانال به دلیل تونل زنی باند به باند، پتانسیل کانال را افزایش می دهد که منجر به بایاس مستقیم اتصال بیس-امیتر BJT پارازیتی می شود و BJT پارازیتی را روشن می کند. در اینجا، منطقه کانال به عنوان بیس BJT پارازیتی، سورس به عنوان امیتر، و درین به عنوان کلکتور 10.. عمل می کند. هنگامی که BJT پارازیتی روشن است، مشابه با عملیات عادی BJT، افت ولتاژ بین بیس و امیتر تقریباً ثابت (0.6، 0.8، 0.24 V) باقی می ماند. زمانی که منطقه سورس ترانزیستور بدون پیوند (امیتر BJT پارازیتی) به زمین برای عملیات JLTS کانال n بایاس می شود، پتانسیل کانال (پتانسیل بیس BJT پارازیتی) ثابت می ماند.



شکل 8. نمودار باند انرژی در جهت جانبی با خط برش در 1 نانومتر زیر دی الکتریک گیت برای ساختار JLT با k

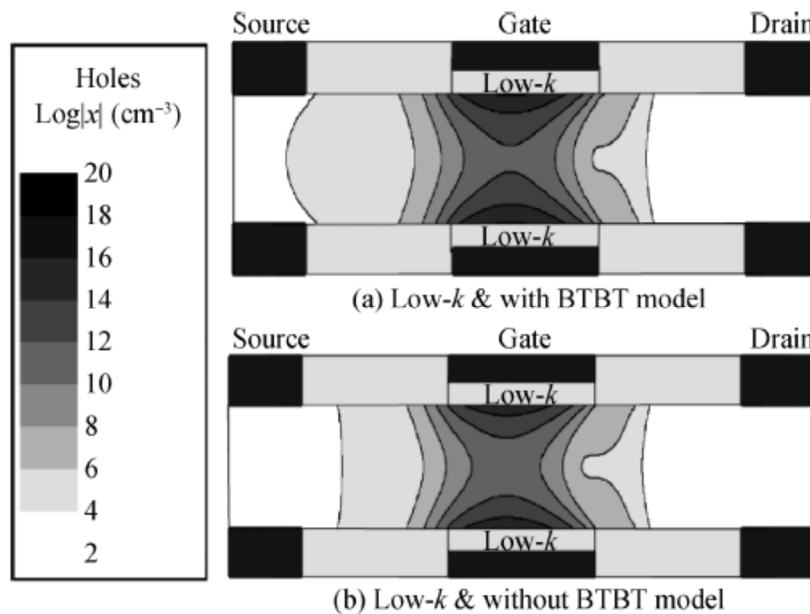
بالا با طول گیت $L_G = 20\text{ nm}$ زمانی که (a) $V_{GS} = 0\text{ V}$ و $V_{DD} = 1\text{ V}$ با و بدون مدل BTBT، (b)

با و بدون مدل BTBT. $V_{GS} = -0.4\text{ V}$ و $V_{DD} = 1\text{ V}$

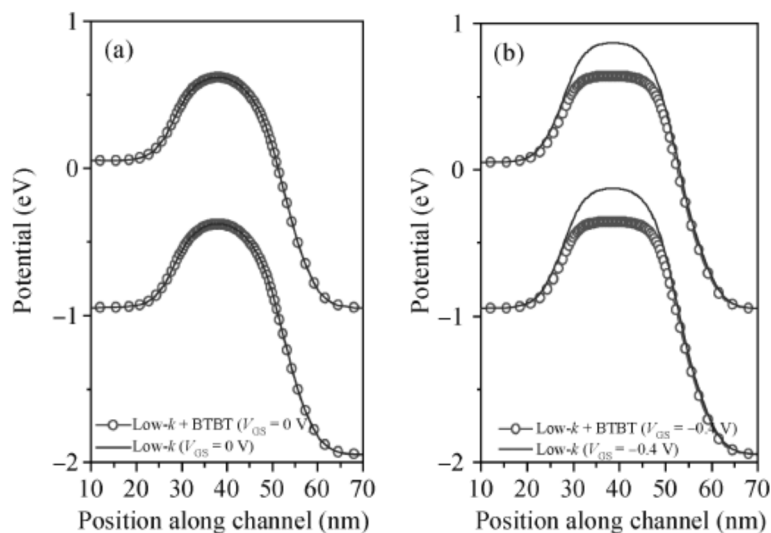
شکل های 9 (a) و 9 (b) نشاندهنده تجمع حفره JLT با k-کم با و بدون مدل BTBT است. ما یک تفاوت کوچک

در غلظت حفره را در حالت خاموش برای JLT کم K و غلظت پایین تر حفره را در مقایسه با JLT با k بالا مشاهده

می کنیم. شکل ۱۰ نشان می دهد که در حالت خاموش ($V_{GS} = 0\text{ V}$) تجمع کوچکی از حفره ها در کانال هیچ تاثیری بر افزایش پتانسیل در بدنه-شناور (کانال) ندارد، هنگامی که مدل BTBT در شبیه سازی گنجانده می شود، اما در $V_{GS} = -0.4\text{ V}$ ، افزایش پتانسیل در کانال (با استفاده از مدل BTBT) اثرات قابل توجه تونل زنی باند به باند و تجمع حفره در کانال را نشان می دهد.



شکل ۹. نمودار کمان غلظت حفره دوبعدی برای JLT با کم K با استفاده از مدل BTBT و بدون مدل BTBT در حالت خاموش ($V_{GS} = 0\text{ V}$, $V_{DD} = 1\text{ V}$).



شکل ۱۰. نمودار باند انرژی در جهت جانبی با برش خط در ۱ نانومتر زیر دی الکتریک گیت برای ساختار JLT با کم

K با طول گیت $LG = 20$ نانومتر زمانی که $V_{GS} = 0\text{ V}$ و $V_{DD} = 1\text{ V}$ با و بدون مدل BTBT، (a) و (b)

با و بدون مدل BTBT. $V_{GS} = -0.4\text{ V}$ و $V_{DD} = 1\text{ V}$

از سوی دیگر، از اشکال ۱۱ (a) و (b)، غلظت حفره در کانال JLT دوگان-K در حالت خاموش با و بدون مدل

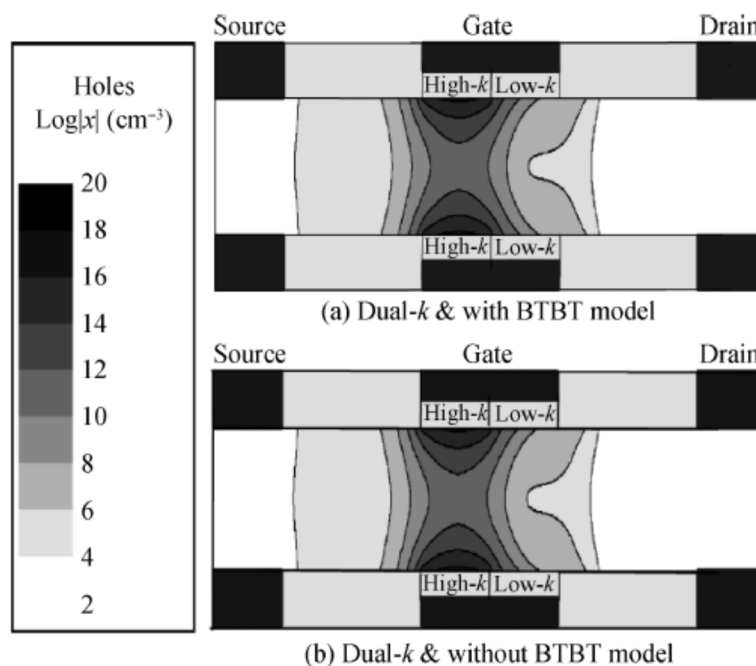
BTBT به دلیل ناچیز بودن نرخ تولید BTBT در حالت خاموش و غلظت حفره بسیار پایین تر در مقایسه با

JLT k بالا مشاهده می شود. در شکل ۱۲، نمودار باند انرژی در $V_{GS} = -0.4\text{ V}$ ، یک تغییر کوچک در پتانسیل در

کانال (بیس BJT پارازیتی) و یک تجمع کوچک از حفره ها در کانال به دلیل کاهش باند به باند اثرات تونل زنی در

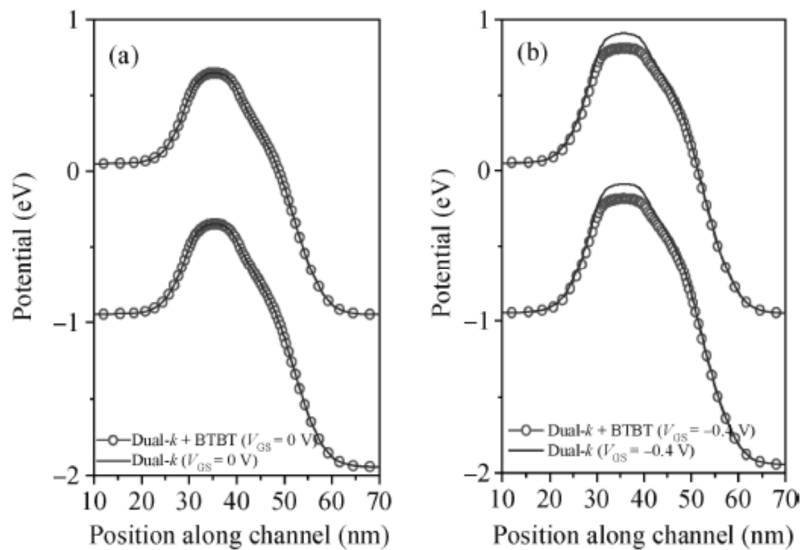
JLT دوگان-K در مقایسه با JLT با k بالا و پایین نشان می دهد. از این رو، ترانزیستور دی الکتریک-گیت-گوناگون

گیت-دوبل بدون پیوند (JLT دوگان-K) پیشنهادی، اثرات تشکیل BJT پارازیتی در JLT را سرکوب می کند.



شکل ۱۱. نمودار خط غلظت حفره برای JLT با دوگان-K با استفاده از مدل BTBT و بدون مدل BTBT در حالت

خاموش ($V_{GS} = 0\text{ V}$, $V_{DD} = 1\text{ V}$).



شکل ۱۲. نمودار باند انرژی در جهت جانبی با خط برش در ۱ نانومتر زیر دی الکتریک گیت ساختار دوگان- JLT K

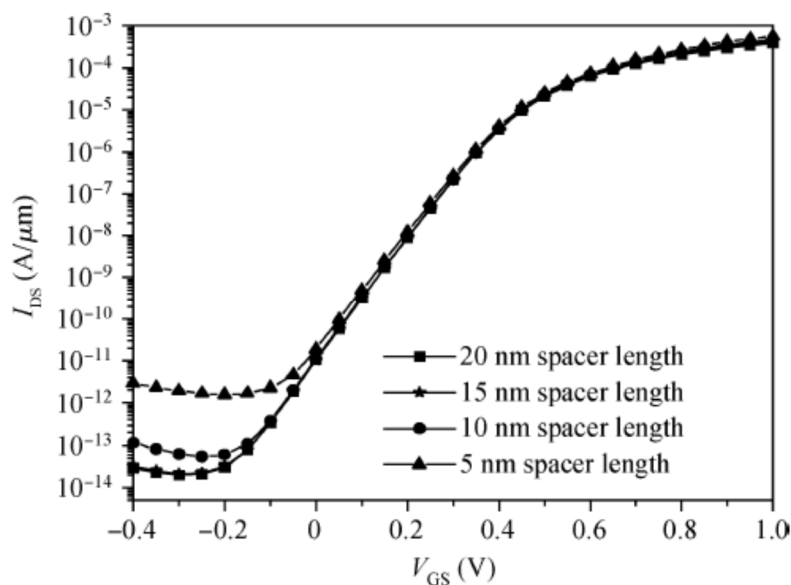
با طول گیت $LG = 20$ نانومتر زمانی که (a) $V_{GS} = 0 V$ و $V_{DD} = 1 V$ با و بدون مدل BTBT، (b)

و $V_{GS} = -0.4 V$ و $V_{DD} = 1 V$ با و بدون مدل BTBT.

تاثیر تغییرات طول فضای اکسیدکننده بر روی منحنی $IDS-V_{GS}$ در شکل ۱۳ نشان داده شده است. ما طول فضا دهنده اکسید را ۲۰ نانومتر گرفته ایم، به طوری که قدرت حداقل نشت به دست می آید. ۲۰ نانومتر طول فضا دهنده اکسید نیز برای طول کانال ۲۰ نانومتر در مرجع [۲۵] اتخاذ شده است. از شکل مشاهده می کنیم که برای جریان روشن قابل مقایسه، طول فضا دهنده اکسید ۲۰ نانومتر، دو مرتبه بهبود جریان نشتی را در مقایسه با ۵ نانومتر طول فضا دهنده اکسید می دهد. برای یک طول بزرگتر فضا دهنده اکسید، بهبود در جریان خاموش و تنزل کم در جریان روشن مشاهده شده است، به عنوان مثال، به دلیل حضور مسیر مقاومت بالاتر در امتداد جهت حمل و نقل.

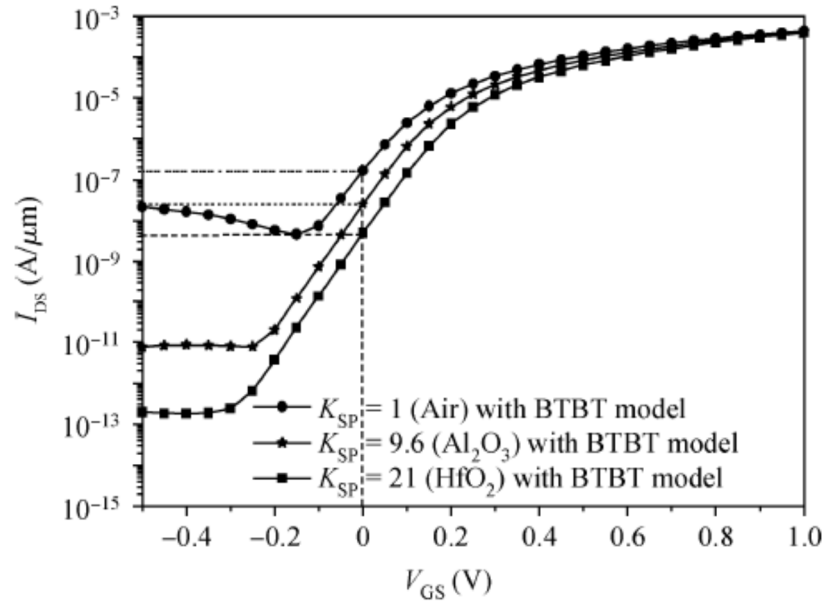
شکل ۱۴، مشخصات $IDS-V_{GS}$ شبیه سازی شده جدا کننده هوا (KSP D 1) و Al_2O_3 (KSP D 9.6) و HfO_2 (KSP D 21) را با استفاده از مدل BTBT نشان می دهد. از نتایج شبیه سازی، ما مشاهده می کنیم که جریان خاموش (با استفاده از مدل BTBT) یک تابع قوی از فضا دهنده-K است. مشاهده شده است که با افزایش ثابت دی الکتریک فضا دهنده، جریان نشتی حالت خاموش به دلیل تونل زنی باند به باند کاهش می یابد. در حالت خاموش،

این کانال تهی می شود و یک میدان الکتریکی عمودی گیت کانال مشاهده می شود. استفاده از جداکننده ها با k بالا در دو طرف گیت موجب افزایش میدان الکتریکی کانال-گیت از طریق فضا دهنده می شود و لایه های تخلیه را فراتر از لبه های گیت گسترش می دهد و اوج میدانهای الکتریکی در کانال را کاهش می دهد. زمانی که لایه های تهی سازی و میدان های الکتریکی به سمت منطقه درین گسترش می یابند، باند هدایت و باند ظرفیت در سمت درین به تدریج سقوط می کند و این عرض تونل زنی در طول مسیر تونل زنی الکترون ها افزایش می یابد. از آنجا که عرض تونل زنی در طول مسیر تونل زنی الکترون یک جنبه اساسی از تونل زنی باند به باند است، افزایش عرض تونل زنی برای استفاده از فضا دهنده با k بالا، احتمال تونل زنی الکترون از باند ظرفیت کانال به باند رسانش درین را کاهش می دهد و در نتیجه موجب کاهش جریان نشتی حالت خاموش به علت تونل زنی باند به باند می شود. بهبود در جریان حالت خاموش با استفاده از فضا دهنده k بالا برای JLTs نیز در مرجع [۲۶] مورد بحث قرار گرفته است.

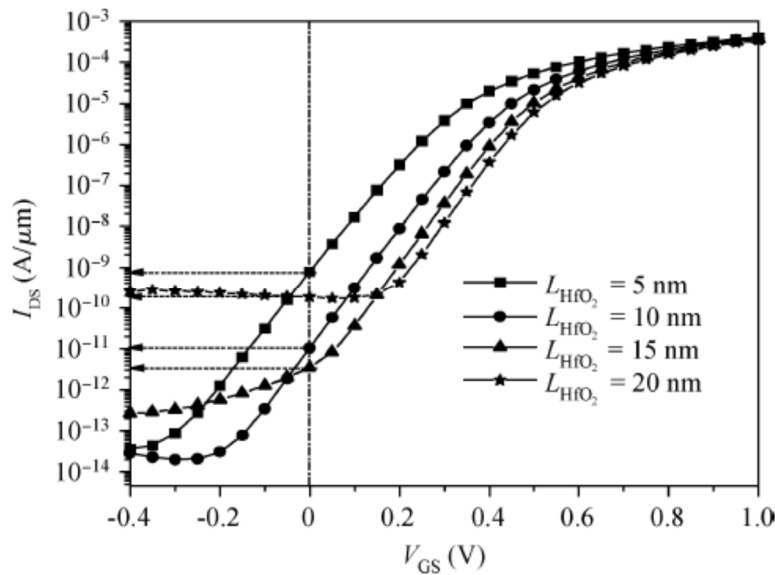


شکل ۱۳. مشخصات I_{DS} - V_{GS} JLTs گیت دابل برای طول گیت $LG = 20$ نانومتر با استفاده از مدل BTBT

برای طول های مختلف فضا دهنده اکسید $V_{DD} = 1$ V.



شکل ۱۴. ویژگی های IDS-VGS های JLTs گیت-دوبل با طول گیت LG = 20 نانومتر با مدل BTBT، VD= D1 V، جداکننده هوا (KSP D1) تا Al2O3 (KSP D 9.6) و HfO2 (KSP D 21). تابع کاری ماده گیت (/ MS = 5.11 eV، طول فضا (/ LSP = 20 نانومتر).



شکل ۱۵. ویژگی های IDS-VGS از JLTs گیت-دوبل با طول گیت LG = 20 نانومتر با استفاده از مدل BTBT برای طول های مختلف با K بالا دی الکتریک (LHfO2) در JLT دوگان-K (برای تابع کار گیت ۵,۱۱ eV)، VDD = 1 V.

مشخصات JLTs IDS-VGS گیت-دوبل با طول گیت $LG = 20$ نانومتر با استفاده از مدل BTBT برای طول های مختلف با دی الکتریک با k بالا ($LHfO_2$) در JLT دوگان- k در شکل ۱۵ نشان داده شده است. از نتایج شبیه سازی، مشاهده می کنیم که طول برابر دی الکتریک با k بالا ($LHfO_2$) و با دی الکتریک با k -پایین ($LSiO_2$) نتیجه بهینه حاصل می شود. از شکل مشاهده می کنیم که با افزایش طول دی الکتریک با k بالا ($LHfO_2$) از سورس به درین، جریان خاموش برای $LHfO_2$ از ۵ تا ۱۵ نانومتر کاهش می یابد و این به دلیل افزایش مداوم در ولتاژ آستانه دستگاه است. با این حال، به دلیل اینکه $LHfO_2$ برابر ۲۰ نانومتر است، روندهای جریان-خاموش مشاهده می شوند، یعنی جریان خاموش $LHfO_2$ برابر با ۲۰ نانومتر بالاتر از $LHfO_2$ برابر با ۱۰ نانومتر و ۱۵ نانومتر است، حتی اگر ولتاژ آستانه $LHfO_2$ برابر با ۲۰ نانومتر بالاتر از ۱۰ نانومتر و ۱۵ نانومتر طول دی الکتریک با k بالا باشد. دلیلش اینست که طول دی الکتریک k بالا در ۲۰ نانومتر، یک اثر تزویج بهتر را در نزدیکی پیوند درین به کانال $p-n$ ارائه می دهد. اثر تزویج بهتر ارائه شده توسط ماده ثابت دی الکتریک بالاتر در نزدیکی اتصال درین به کانال $p-n$ به طور چشمگیری باعث کاهش عرض مانع تونل زنی در حالت خاموش ($V_{GS} = 0 V, V_{DD} = 1 V$) می شود. کاهش در عرض سد تونل زنی، جریان حالت-خاموش را به طور قابل توجهی در مقایسه با طول ۱۰ نانومتر و ۱۵ نانومتر دی الکتریک با k -بالا افزایش می دهد، حتی اگر ولتاژ آستانه $LHfO_2$ برابر با ۲۰ نانومتر بالاتر از ۱۰ نانومتر و ۱۵ نانومتر طول دی الکتریک با k -بالا باشد. برای مقدار پایین تر $LHfO_2$ (یعنی، $L_{HfO_2} \leq 15 \text{ nm}$) اثر تزویج در نزدیکی محل اتصال $p-n$ درین-به-کانال در حالت خاموش بسیار برجسته نمی شود، از این رو روندهای مشخص کاهش مستمر جریان-خاموش قابل مشاهده است؛ دلیل این امر، یک افزایش مداوم ولتاژ آستانه برای $LHfO_2$ از ۵ تا ۱۵ نانومتر است.

۴. نتیجه گیری ها

ما عملکرد یک ترانزیستور دی الکتریک-گیت-گوناگون گیت-دوبل بدون پیوند (HGJLT) در یک رژیم زیرآستانه ارزیابی کرده ایم و مشخصه زیرآستانه آن تنها با یک ترانزیستور بدون پیوند دی الکتریک گیت با k بالا (JLT با- k)

و همچنین با ترانزیستور بدون پیوند تنها با دی الکتریک گیت با k -کم (JLT-کم K) مقایسه می شود. شبیه سازی عددی دوبعدی نشان می دهد که HGDJLT دارای جریان تونل کمتر باند به باند در حالت خاموش است و از این رو هر دو جریان نشتی زیرآستانه و اثر عمل BJT پارازیتی را سرکوب می کند.

References

- [1] Colinge J P, Lee C W, Afzalain A, et al. Nanowire transistors without junctions. *Nature Nanotechnol*, 2010, 5(3): 225
- [2] Lilienfeld J E. Method and apparatus for controlling electric current. US Patent, No. 1745175, Jan. 28, 1930
- [3] Chen C, Lin J, Chiang M, et al. High-performance ultra-low power junctionless nanowire FET on SOI substrate in subthreshold logic application. *Proc IEEE Int SOI Conf*, 2010: 1
- [4] Lee C W, Fzalian A, Akhavan N D, et al. Junctionless multigate field-effect transistor. *Appl Phys Lett*, 2009, 94(5): 053511
- [5] Kranti A, Lee C W, Ferain I, et al. Junctionless nanowire transistor: properties and design guidelines. *Proc IEEE 34th Eur Solid-State Device Res Conf*, 2010: 357
- [6] Gundapaneni S, Ganguly S, Kottantharayil A. Bulk planar junctionless transistor (BPJLT): an attractive device alternative for scaling. *IEEE Electron Device Lett*, 2011, 32(3): 261
- [7] Mondal P, Ghosh B, Bal P. Planar junctionless transistor with non-uniform channel doping. *Appl Phys Lett*, 2013, 102(13): 133505
- [8] Lee C W, Ferain I, Afzalain A, et al. Performance estimation of junctionless multigate transistors. *Solid-State Electron*, 2010, 54(2): 97
- [9] Lee C W, Ferain I, Akhavan N D, et al. Short-channel junctionless nanowire transistors. *Proc SSDM*, 2010: 1044
- [10] Gundapaneni S, Bajaj M, Pandey R K, et al. Effect of band-to-band tunneling on junctionless transistors. *IEEE Trans Electron Devices*, 2012, 59(4): 1023
- [11] Ran Y, Das S, Ferain I, et al. Device design and estimated performance for p-type junctionless transistors on bulk germanium substrates. *IEEE Trans Electron Devices*, 2012, 59(9): 2308
- [12] Pai C Y, Lin J T, Wang S W, et al. Numerical study of performance comparison between junction and junctionless thin-film transistors. 10th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT), 2010: 1410
- [13] Su T K, Tsai T I, Su C J, et al. Fabrication and characterization of a junctionless SONOS transistor with poly-Si nanowire channels. *IEEE 4th International Nanoelectronics Conference (INEC)*, 2011: 1
- [14] Park C H, Ko M D, Kim K H, et al. Comparative study of fabricated junctionless and inversion-mode nanowire FETs. 69th Annual Device Research Conference (DRC), 2011: 179
- [15] Park C H, Ko M D, Kim K H, et al. Electrical characteristics of 20-nm junctionless Si nanowire transistors. *Solid-State Electron*, 2012, 73: 7
- [16] Choi W Y, Lee W. Hetero-gate-dielectric tunnelling field-effect transistors. *IEEE Trans Electron Devices*, 2010, 57(9): 2317
- [17] Lee M J, Choi W Y. Effects of device geometry on hetero-gate-dielectric tunneling field-effect transistors. *IEEE Electron Device Lett*, 2012, 33(10): 1459
- [18] Lee G, Jang J S, Choi W Y. Dual-dielectric-constant spacer hetero-gate-dielectric tunneling field-effect transistors. *Semicond Sci Technol*, 2013, 28: 052001
- [19] Ikarashi N, Watanabe K, Masuzaki K, et al. Thermal stability of a $\text{HfO}_2/\text{SiO}_2$ interface. *Appl Phys Lett*, 2006, 88(10): 101 912
- [20] Taurus Medici User Guide Version X-2005.10, October 2005
- [21] Boucart K, Ionescu A M. Double-gate tunnel FET with high- k gate dielectric. *IEEE Trans Electron Devices*, 2007, 54(7): 1725
- [22] International Technology Roadmap for Semiconductors (ITRS), 2011. [Online]. Available: [http:// www.itrs.net/](http://www.itrs.net/)
- [23] Appenzeller J, Lin Y M, Knoch J, et al. Band-to-band tunnelling in carbon nanotube field effect transistors. *Phys Rev Lett*, 2004, 93(19): 196
- [24] Sedra A S, Smith K C. *Microelectronic circuits*. 6th ed. Oxford University Press, 2009
- [25] Baruah R K, Paily R P. Impact of high- k spacer on device performance of a junctionless transistor. *Journal of Computational Electronics* (online), Springer US, 12 Dec 2012. <http://dx.doi.org/10.1007/s10825-012-0428-5>
- [26] Gundapaneni S, Ganguly S, Kottantharayil A. Enhanced electrostatic integrity of short-channel junctionless transistor with high- k spacers. *IEEE Electron Device Lett*, 2011, 32(10): 1325

این مقاله، از سری مقالات ترجمه شده رایگان سایت ترجمه فا میباشد که با فرمت PDF در اختیار شما عزیزان قرار گرفته است. در صورت تمایل میتوانید با کلیک بر روی دکمه های زیر از سایر مقالات نیز استفاده نمایید:

لیست مقالات ترجمه شده ✓

لیست مقالات ترجمه شده رایگان ✓

لیست جدیدترین مقالات انگلیسی ISI ✓

سایت ترجمه فا ؛ مرجع جدیدترین مقالات ترجمه شده از نشریات معتبر خارجی