



ارائه شده توسط:

سایت ترجمه فا

مرجع جدیدترین مقالات ترجمه شده

از نشریات معتبر

ابزار های قدرت جانبی جدید پوشش سیلیکون بر عایق با اکسید مدفون

چکیده

ما به توصیف ابزار های قدرت جانبی پوشش سیلیکون بر عایق جانبی می پردازیم که دارای یک اکسید مدفون برای بهبود عملکرد دستگاه می پردازیم. SOI-LDMOSFET با ولتاژ بالا دارای یک اکسید مدفون است. این خود امکان کاهش طول رانش را بدون کاهش ولتاژ تجزیه می دهد. با ساختار ابزار پیشنهادی، کاهش مقاوم لایه رانش n می تواند حاصل شود. ولتاژ تجزیه و مقاومت ویژه قطعات پیشنهادی به صورت تابعی از عمق اکسید مدفون، پهنای ستون p و دوپینگ تعریف می شود. ترانزیستور های دو قطبی عایق جانبی با آند کوتاه بر روی SOI دارای اکسید مدفون در منطقه آند می باشند. این خود از ولتاژ SA-LIGBT بدون افزایش طول آند جلوگیری می کند. با استفاده از یک شبیه ساز عددی دو بعدی، Minimos-NT، تایید می شود که طول رانش SOI LDMOSFET پیشنهادی به 65 درصد در مقایسه با ابزار های سنتی کاهش می یابد و منطقه مقاومت دیفرانسیل منفی با SOI SA-LIGBT مشاهده می شود.

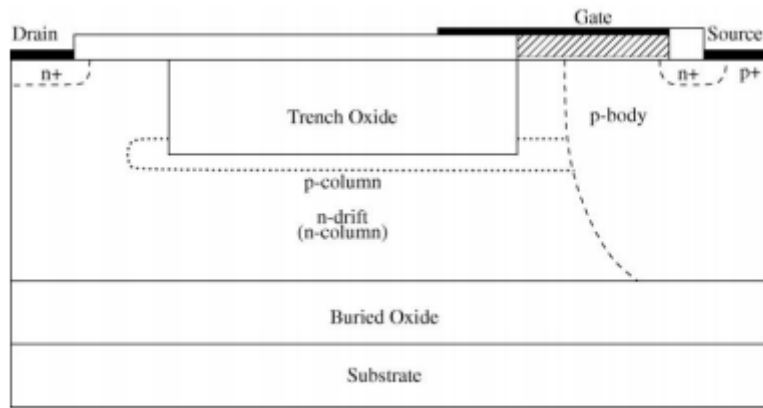
1- مقدمه

ابزار های قدرت جانبی بر پوشش سیلیکون بر عایق توجه زیادی را با طیف وسیعی از کاربرد ها نظیر دستگاه های الکترونیک اتومبیل، مواد خانگی، مخابرات و دستگاه های صنعتی به خود جلب کرده اند. مزیت های فناوری SOI شامل ایزولاسیون برتر، کاهش خازن های پارازیتی و جریان های نشت و عملکرد بالا در دمای بالا در مقایسه با ایزولاسیون اتصال سنتی است. این مزیت ها امکان یکپارچگی مونولیتی کارآمد دستگاه های قدرت و مدار کنترل با ولتاژ پایین را بر روی یک تراشه نشان می دهد. مشکلات اصلی در توسعه این ابزار شامل ایجاد یک تعادل بین مقاومت ویژه و ولتاژ تجزیه و کاهش اندازه بدون خصوصیات تجزیه کنندگی دستگاه است. به منظور رفع این ملزومات، ساختار های جدیدی نظیر اکسید گیت مدفون، LUDMOSFETs، MOSFET، قدرت جانبی مدفون با یک تماس منبع مدفون، رویکرد چند معبری و LDMOS-IGBT هیبرید پیشنهاد شده است. دستگاه های SJ عمودی نظیر COOLMOS و MDmesh تعادل بار کامل لایه تخلیه را نشان می دهد. این کار با معرفی ستون های متناوب $n-p$ در منطقه رانش حاصل می شود که امکان افزایش دوپینگ را در این

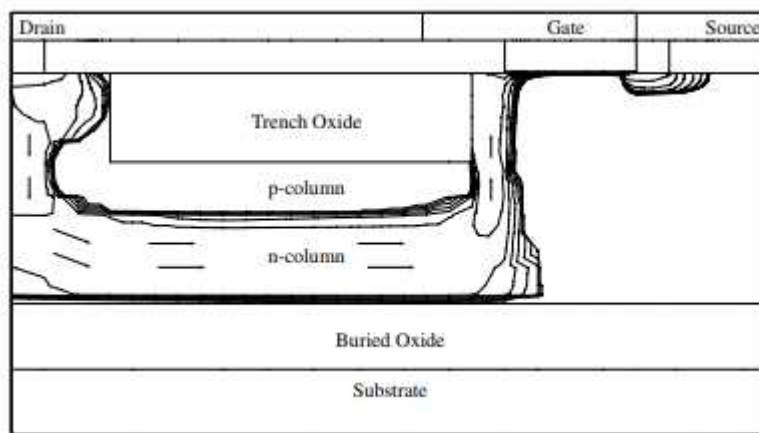
منطقه می دهد. این خود موجب کاهش R_{SP} دستگاه ها می شود. اخیراً، **SJ SOI-LDMOSFET** دارای یک کانالی از دیواره جانبی دستگاه است که برای بهبود خصوصیات حالت پیشنهاد شده است. این کانال با یک گیت مدفون جانبی ایجاد شده و موجب افزایش سطح کانال می شود.

برای بدست آوردن بهترین تعادل بین R_{SP} و BV ، ما **SJ SOI-LDMOSFET** را پیشنهاد می کنیم که دارای یک ستون P اضافی و یک اکسید مدفون در منطقه رانش است. ستون P اضافی برای دست یابی به وضعیت بار متعادل دوپ می شود به این معنی که بار لایه خالص صفر است. اکسید مدفون در ستون P به کاهش طول رانش بدون کاهش مساحت هادی کمک می کند. R_{SP} ساختار پیشنهادی به طور موثر با مفهوم SJ با اکسید مدفون کاهش می یابد.

به منظور کاهش اندازه تراشه IC ولتاژ بالا، افزایش تراکم جریان دستگاه های قدرت خروجی اهمیت دارد. **LGBT** جانبی بر روی **SOI** توجه زیادی را برای IC ولتاژ بالا و نرم افزار های هوشمند کسب کرده است زیرا آن ها با جریان ها و ولتاژ های بزرگ همراه هستند (12). از طریق **LIGBT** با ولتاژ بالا بر روی **SOI** امکان افزایش تراکم جریان به دلیل تزریق حامل وجود دارد. با این حال این موجب کاهش زمان خاموشی و ورود پارازیت به درون دستگاه می شود. یکی از روش های کارآمد برای دست یابی به سویچینگ سریع، استفاده از ساختار با آند کوتاه، معرفی ساختار آند کوتاه با **LIGBT** است. **SA-LIGBT** دارای انعطاف پذیری طراحی بوده و توانایی ایجاد تعادل بین سرعت سویچینگ و مقاومت را دارد. آند n^+ از مسیر استخراج الکترونی طی خاموشی پشتیبانی می کند. مشکل اصلی **SA-LIGBT** منطقه دیفرانسیل منفی ناشی از دو مکانیسم القایی مسئول جریان فعلی مسئول جریان در **SA-LIGBT** است. برای جلوگیری از **NDR**، افزایش زیادی به طول آند P وجود دارد ولی این می تواند موجب ایجاد تراشه های با اندازه بزرگ تر شود. ما یک **SA-LIGBT** را پیشنهاد می کنیم که دارای یک اکسید مدفون در منطقه آند درین است. با این ساختار، امکان کاهش ولتاژ بازگشتی وجود دارد و زمان خاموشی به **LDMOSFET** کاهش می یابد. حتی خصوصیات معکوس ساختار پیشنهادی مشابه با ساختار های سنتی است. شبیه سازی های عددی دو بعدی با **Minimos-NT** برای بررسی اثر پارامتر های دستگاه بر روی خصوصیات حالت، BV و عملکرد سویچینگ استفاده می شود.



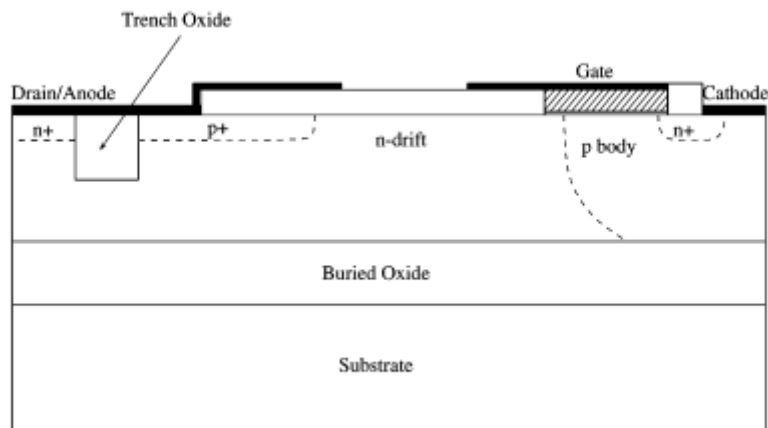
شکل 1



شکل 2

2- ساختار های دستگاه

شکل 1، ساختار شماتیک SJ SOI-LDMOSFET پیشنهادی را نشان می دهد که دارای یک اکسید مدفون در منطقه رانش است. با ساختار پیشنهادی امکان کاهش طول رانش بدون تجزیه BV ماکزیمم با افزایش مسیر سطحی لایه رانش وجود دارد. این ستون P مدفون را می توان به طور مستقیم یا غیر مستقیم به P متصل کرد. غلظت دوپینگ ستون P بهینه با پهنای ستون P و بار خالص ستون n تعیین می شود.



شکل 3

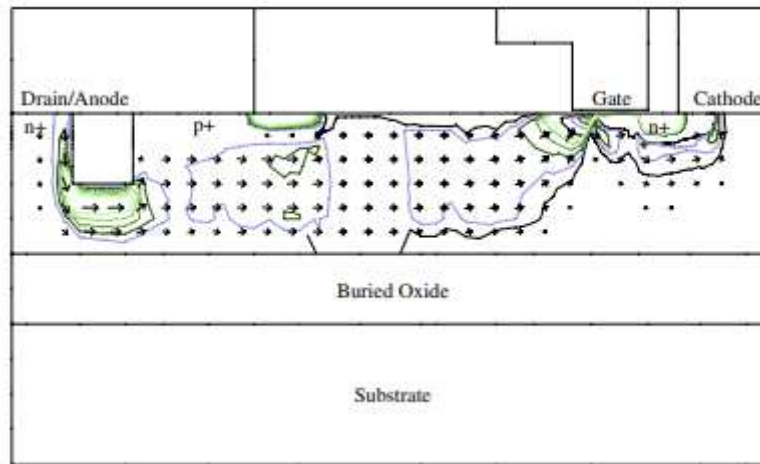
دستگاه ما برای دست یابی به 300 V ، ولت با ضخامت پوشش سیلیکون بر عایق $7 \text{ } \mu\text{m}$ میکرومتری و با ضخامت اکسید مدفون $2 \text{ } \mu\text{m}$ میکرومتر طراحی شده است. با این پارامتر ها، ماکزیمم ولتاژ SOI-LDMOSFETs در حداقل طول رانش مجاز $300 \text{ } \mu\text{m}$ ولت حدود $20 \text{ } \mu\text{m}$ میکرومتر است. عمق اکسید مدفون بر 1 V اثر می گذارد و باید برای اطمینان از مسیر سطح دستگاه طراحی شود. کمینه سازی پهنای ستون B مهم است زیرا موجب کاهش سطح رسانش می شود. غلظت های دوپینگ ستون P و N بستگی به پهنای ستون است. دوپینگ ستون n باید برای کاهش مقاومت R_s افزایش یابد. شبیه سازی ها برای یافتن پارامتر های دستگاه بهینه با عمق اکسید مدفون از 2 تا $3 \text{ } \mu\text{m}$ میکرومتر و عرض ستون p از 0.3 تا $1.3 \text{ } \mu\text{m}$ میکرومتر متغیر است. با پهنای ستون n ، با $4 \text{ } \mu\text{m}$ میکرومتر، عرض ستون p $0.3 \text{ } \mu\text{m}$ میکرومتر و طول رانش l_d ، عرض ستون p $0.3 \text{ } \mu\text{m}$ میکرومتر و طول رانش l_d $13 \text{ } \mu\text{m}$ میکرومتر می تواند به 6.0×10^{15} افزایش یابد. همان طور که در شکل 2 نشان داده شده است ریان ساختار ها به درون ستون n پیشنهاد شده و نشان می دهد که ستون n نقش مهمی در هدایت جریان دارد.

شکل 3، ساختار شماتیک از SOI SA-LIGBT پیشنهادی را نشان می دهد. لایه n^+ به منطقه آند P^+ برای دست یابی به ساختار اند معرفی می شود. همان طور که می توان دید، این دو با اکسید مدفون جدا می شوند. این ابزار برای دست یابی به 120 V ولت با ضخامت پوشش سیلیکون $2 \text{ } \mu\text{m}$ میکرومتر و ضخامت اکسید مدفون $1 \text{ } \mu\text{m}$ میکرومتر استفاده می شود.

Parameter	Value
<i>N</i> -drift doping N_D	$1.0 \times 10^{16} \text{ cm}^{-3}$
<i>N</i> -drift length L_d	8.5 μm
SOI thickness t_{soi}	2.0 μm
<i>N</i> -substrate doping	$5.0 \times 10^{18} \text{ cm}^{-3}$
Buried oxide thickness t_{ox}	1.0 μm
n^+ drain length	2.0 μm
p^+ anode length	6.0 μm
Trench oxide depth	0.5–1.5 μm

جدول 1

همان طور که در جدول دیده می شود طول رانش n 8.5 میکرومتر است و مقدار دوپینگ $1.0 \times 10^{16} \text{ cm}^{-3}$ و عمق اکسید مدفون 1 میکرومتر است. n بافر دوپ شده بالا به منطقه آند افزوده شده و به جلوگیری از قطعه شدن این منطقه می شود. طول زهکش n^+ 2 میکرومتر و طول آند 6 میکرومتر از طریق شبیه سازی ها استفاده می شود. با ساختار پیشنهادی، امکان جلوگیری از ndr بدون افزایش طول آند p^+ وجود دارد. این دستگاه دارای ساختار LDMOSFET-LIGBT با منطقه رانش مشترک می باشد. آند p امکان دست ورزی منطقه رانش n را می دهد. n^+ دارای ساختار DNOS بوده و از این روی مسیر استخراج الکترون طی خاموش و روشن بودن دستگاه نقش دارد. در نتیجه دو شیوه متفاوت از عملیات فعلی را می توان مشاهده کرد که بستگی به شرایط اریبی دارند. در ولتاژ های آند پایین، دستگاه عملیات MOSFET را نشان می دهد. تنها منطقه n^+ در آند موجب ایجاد یک رسانش در حالت فعلی شده و مدولاسیون رساتش منطقه رانش را نمی توان دید. با افزایش ولتاژ آند، پتانسیل آند کاهش یافته و اتصال رانش N به صورت اریب می شود. تزریق زیاد حفره ها از آند p به رانش n رخ داده و موجب کاهش ولتاژ در مقایسه با SOI-LDMOSFET می شود. شکل 4 جریان های SA-LIGBT در $V_G = 12$ و $V_A = 10 \text{ V}$ نشان می دهد. جریان الکترونی در منطقه n ، و جریان منفذی در آند p و کاتد را می توان به طور هم زمان مشاهده کرد.



شکل 4

3- نتایج شبیه سازی

SJ SOI-LDMOSFET 1-3

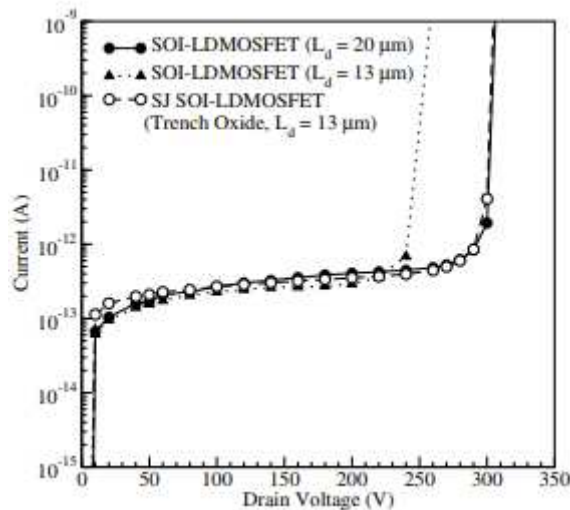
دوپینگ رانش SOI-LDMOSFET توسط RESURF محدود می شود. برای افزایش ولتاژ، طول رانش باید افزایش یابد و دوپینگ کاهش یابد. این موجب افزایش در مقاومت می شود. با ساختار SJ، امکان افزایش تمرکز دوپینگ لایه رانش وجود دارد. مقاومت ابزار های SJ دارای وابستگی ولتاژ خطی به جای وابستگی مربع قدرت استاندارد MOSFET می باشد. با مفهوم SJ، طول ستون های n و p باید در نظر گرفته شود. از این طریق بار تخلیه شوند، بارها و ولت ها به صورت زیر نشان داده می شود

$$Q_n = Q_p + Q_{db} < 2 \frac{\epsilon_s E_c}{q} \quad (1)$$

$$Q_n = N_D W_N; \quad Q_p = N_A W_P \quad (2)$$

$$BV = E_c t_{N,P} \quad (3)$$

که $t_{N,P}$ طول ستون های n و p می باشد. از 3، نشان داده می شود که ولتاژ بستگی به میدان الکتریکی بحرانی E_c و طول ستون دارد. برای کاهش طول ستون SJ SOI-LDMOSFET، ما اکسید مدفون را در منطقه رانش پیشنهاد می کنیم.



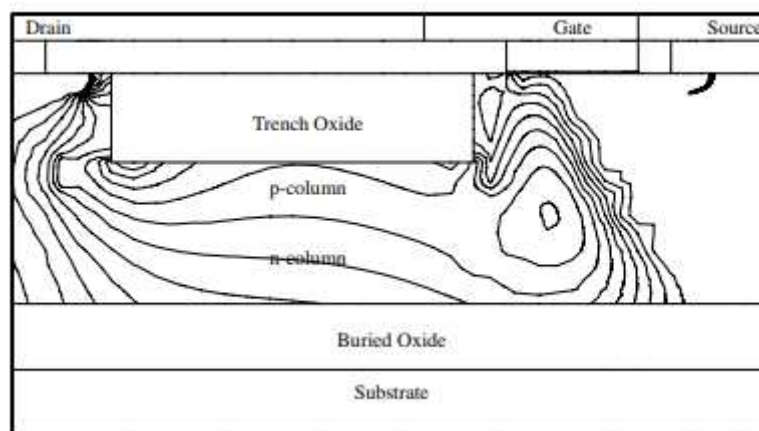
شکل 5

شکل 5، مقایسه bv SOI-LDMOSFET سنتی را نشان می دهد که دارای طول رانش $L_d=20:01m$ و 13 میکرومتر بوده و SJ SOILD MOSFET با اکسید مدفون و $L_d = 13.0 \mu m$ نشان داده شده است. همان طور که در شکل نشان داده شده است، bv ابزار های سنتی بستگی به طول رانش دارد. در صورتی که طول رانش به 13 میکرومتر کاهش یابد، bv 245 ولت در $N_D = 3.5 \times 10^{15} \text{ cm}^{-3}$ حاصل می شود. خط چین ها در شکل نشان دهنده bv با SJ SOILD MOSFET با اکسید مدفون است. به دلیل افزایش سطح، bv با اکسید مدفون در منطقه رانش افزایش می یابد. BV حدود 300 ولت از $L_d = 13.0$ میکرومتر در این ساختار حاصل می شود. توجه کنید که این همان ولتاژ SOILD MOSFET است. شکل 6، توزیع میدان الکتریکی ابزار در $V_{DS} = 300 \text{ V}$ نشان می دهد به خصوص میدان الکتریکی را می توان در اکسید مدفون مشاهده کرد. می توان چندین اوج را برای میدان الکتریکی مشاهده کرد. SJ SOILD MOSFET با اکسید مدفون دارای پیگ افزایشی در میانه SOI است.

شکل 7 به مقایسه مقاومت میدان الکتریکی در انتهای اکسید مدفون بین SOI-LDMOSFET و SJ SOI-LDMOSFET می پردازد. L_d هر دو ساختار، 13 میکرومتر است. در رانش n و اتصال p، هر دو ابزار دارای روند مشابهی با ابزار سنتی است ولی پیگ اصلی را می توان در حاشیه اکسید مدفون دید. به طور کلی، در میانه ابزار، SOI-LDMOSFET دارای طیف وسیعی از میدان های الکتریکی نزدیک بدنه p و رانش n است و SOI-

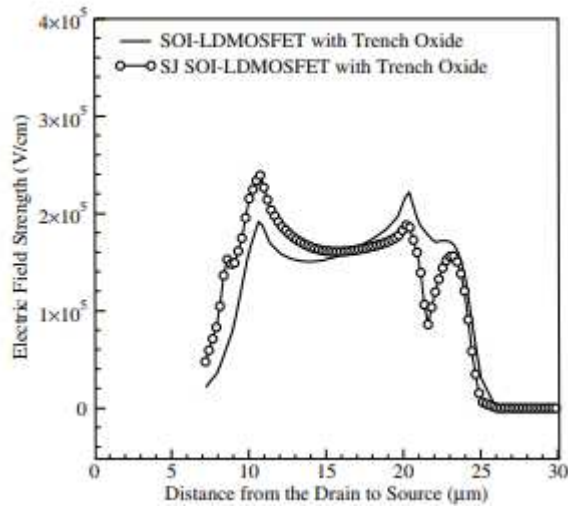
LDMOSFET با اگسید مدفون با $L_d = 13.0$ و $N_D = 6.0 \times 10^{15} \text{ cm}^{-3}$ ، توزیع مقاومت میدان الکتریکی با N_A حدود $1.5 \times 10^{16} \text{ cm}^{-3}$ حاصل می شود.

خط ممتد در شکل 8، bv را در برابر دوپینگ رانش n SOI-LDMOSFET با $L_d = 20.0 \mu\text{m}$ بهینه نشان می دهد. اگر دوپینگ رانش n زیر مقدار بهینه است و ماکزیمم میدان الکتریکی به طرف حاشیه زهکشی است. این بیش از مقدار بهینه است و میدان الکتریکی به طرف حاشیه گیت می رود. هر دو مورد موجب کاهش ولتاژ می شوند.



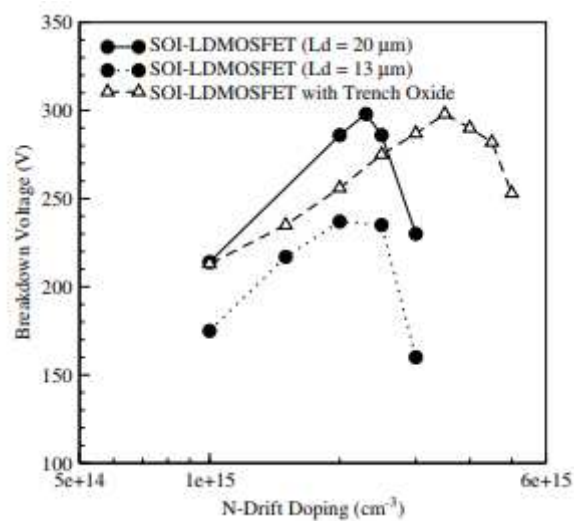
شکل 6

کاهش رسانش توسط اکسید مدفون موجب افزایش R_{SP} ابزار می شود. برای حل این مسئله، SJ SOI LDMOSFET را با معرفی طول ستون مدفون در منطقه رانش n با اکسید مدفون ارایه می کنیم. شکل 9 ولتاژ در برابر دوپینگ ستون p را با طول دفن متفاوت نشان می دهد. عمق مدفون تعیین کننده طول مسیر سطحی ابزار است در صورتی که این کم تر از 2.5 میکرومتر باشد ولتاژ کم تر از دستگاه های قدیمی خواهد بود. با عمق مدفون بیش از 2.7 میکرومتر، ولتاژ یکسانی حاصل می شود.

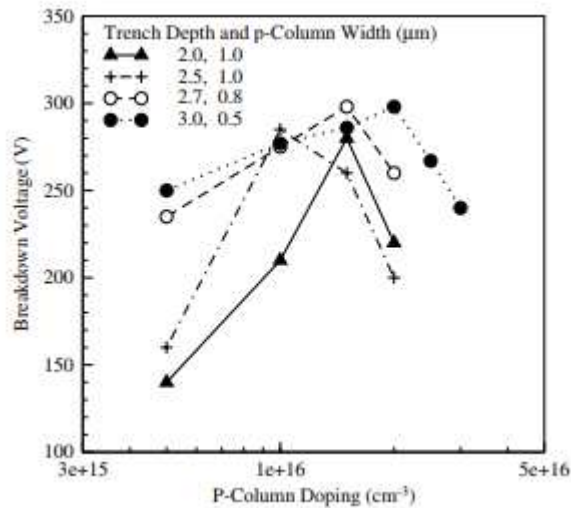


شکل 7

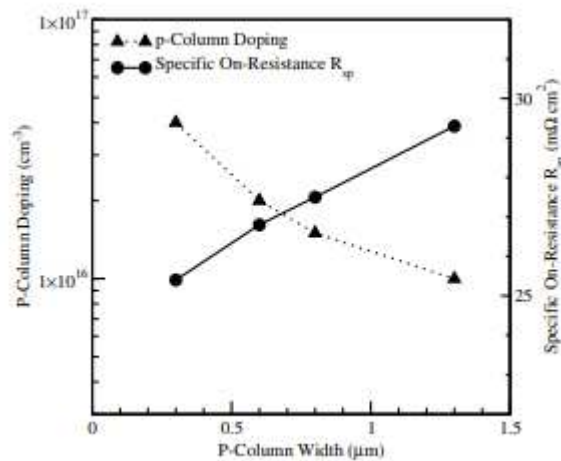
برای بیشینه سازی ولتاژ، بارهای Q_{db} و Q_n ، Q_p در SJ SOI-LDMOSFET باید برای تخلیه کامل منطقه رانش در تجزیه تعادل یابد. در صورتی که پهنای ستون p بزرگ تر باشد، دوپینگ این لایه برای رسیدن به این تعادل بار کاهش یابد. بزرگ تر شدن سطح رسانش موجب کاهش پهنای ستون p می شود. شکل 10، دوپینگ ستون [و r_{sp} را در برابر به پهنای ستون p SJ SOI-LDMOSFET نشان می دهد. غلظت دوپینگ ستون p در هر نقطه در شکل برای رسیدن به ولتاژ 200 ولت بهینه سازی می شود. دیگر پارامترها نظیر عمق اکسید مدفون، طول رانش L_d ، و دوپینگ ستون n، به ترتیب 2.7، 13 و $6.0 \times 10^{13} \text{ cm}^{-3}$ است. دوپینگ ستون p با افزایش پهنای ستون کاهش می یابد.



شکل 8



شکل 9



شکل 10

معادله 3 این رابطه را نشان می دهد و خط چین شکل 10، این وابستگی را نشان می دهد. با $W_P = 0.3$ و 1.3 میکرومتر، NA بهینه، 3 سانتی متر و $1.0 \times 10^{15} \text{ cm}^{-3}$ می باشد. $O_D = N_A \times W_1$ هر دو مورد ثابت است. خط ممتد نشان دهنده رابطه بین WP و R_{sp} است. با کاهش عرض ستون p ، ابزار پیشنهادی را می توان با افزایش سطح رسانش بهبود بخشید. با w_p کم تر، 0.3 میکرومتر، امکان دستیابی به کاهش rsp ، 15.4 میکرواهم می شود. در صورتی که w_p ساختار به 1.3 میکرومتر برسد، rsp به 29.3 افزایش می یابد.

جدول 2 مقایسه عملکرد dc نتایج شبیه سازی را بین SOILD MOSFET و SJ SOI-LDMOSFET نشان می دهد برای ساختار پیشنهادی، با دوپینگ ستون n ، $6.0 \times 10^{15} \text{ cm}^{-3}$ و طول رانش 13 میکرومتر، ماکزیمم

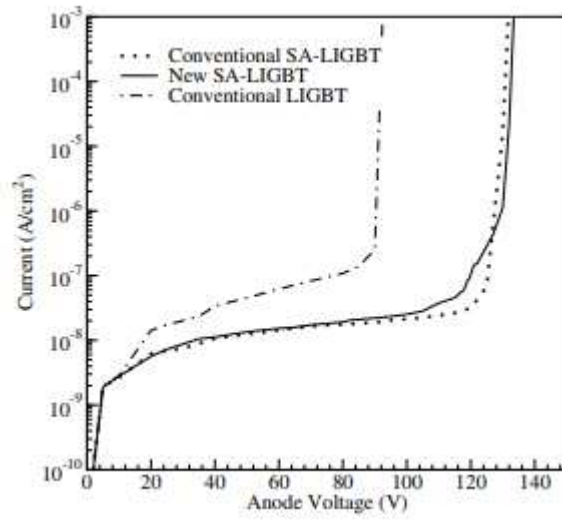
ولتاژ 300 ولت با دوپینگ ستون $N_A = 4.0 \times 10^{16} \text{ cm}^{-3}$ حاصل شده و عرض ستون $W_P = 0.3 \text{ }\mu\text{m}$ است. این نتایج نشان می دهد که طول رانش با اکسید مدفون در منطقه رانش کاهش می یابد.

	Conventional SOI-LDMOSFET	SJ SOI-LDMOSFET with a trench oxide
N_D	$2.3 \times 10^{15} \text{ cm}^{-3}$	$6.0 \times 10^{15} \text{ cm}^{-3}$
L_d	20.0 μm	13.0 μm
R_{SP}	33.4 $\text{m}\Omega\text{cm}^2$	25.4 $\text{m}\Omega\text{cm}^2$
BV	300 V	300 V

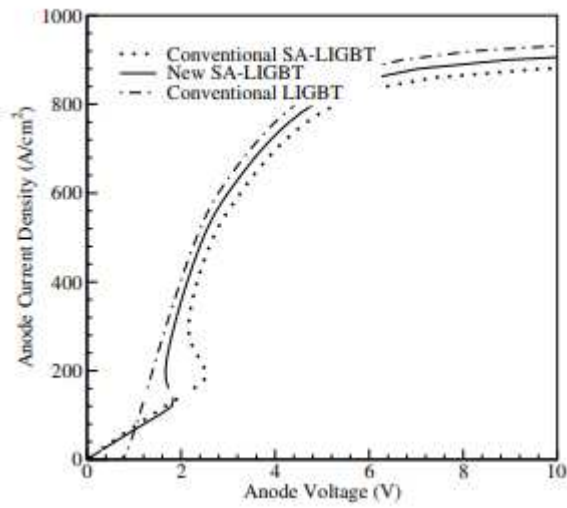
جدول 2

SOI SA-LIGBT 2-3

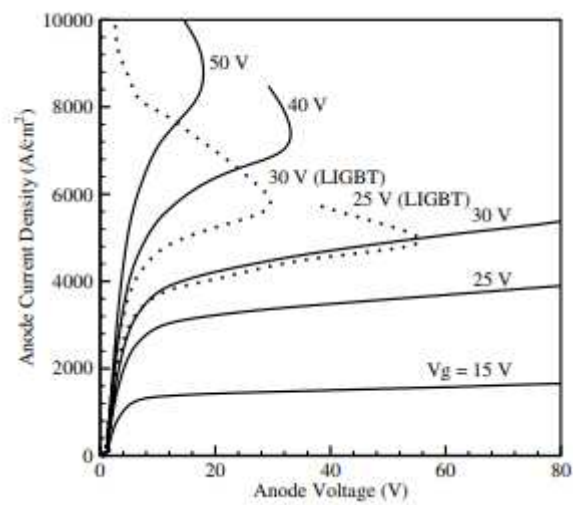
همان طور که در جدول دیده می شود طول رانش 8.5 n میکرومتر است و مقدار دوپینگ $1.0 \times 10^{16} \text{ cm}^{-3}$ و عمق اکسید مدفون 1 میکرومتر است. n بافر دوپ شده بالا به منطقه آند افزوده شده و به جلوگیری از قطعه شدن این منطقه می شود. طول زهکش n^+ 2 میکرومتر و طول آند 6 میکرومتر از طریق شبیه سازی ها استفاده می شود. با ساختار پیشنهادی، امکان جلوگیری از ndr بدون افزایش طول آند p^+ وجود دارد. این دستگاه دارای ساختار LDMOSFET-LIGBT با منطقه رانش مشترک می باشد. آند p امکان دست ورزی منطقه رانش n را می دهد. n^+ دارای ساختار DNOS بوده و از این روی مسیر استخراج الکترون طی خاموش و روشن بودن دستگاه نقش دارد. در نتیجه دو شیوه متفاوت از عملیات فعلی را می توان مشاهده کرد که بستگی به شرایط اریبی دارند. در ولتاژهای آند پایین، دستگاه عملیات MOSFET را نشان می دهد. تنها منطقه n^+ در آند موجب ایجاد یک رسانش در حالت فعلی شده و مدولاسیون رسانش منطقه رانش را نمی توان دید. با افزایش ولتاژ آند، پتانسیل آند کاهش یافته و اتصال رانش N به صورت اریب می شود. تزریق زیاد حفره ها از آند p به رانش n رخ داده و موجب کاهش ولتاژ در مقایسه با SOI-LDMOSFET می شود. شکل 4 جریان های SA-LIGBT در $V_G = 12$ و $V_A = 10 \text{ V}$ نشان می دهد. جریان الکترونی در منطقه n، و جریان منفذی در آند p و کاتد را می توان به طور هم زمان مشاهده کرد.



شکل 11



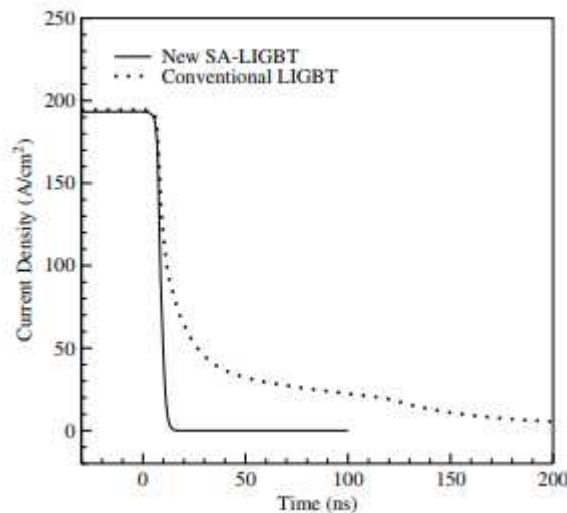
شکل 12



شکل 13

عملکرد سویچینگ IGBT متعارف با فرایند نوترکیبی حامل اضافی که تولید کننده جریان انتهایی است محدود می شود. به علاوه، تزریق چاله منجر به افزایش سویچینگ نمی شود. دو مرحله مجزا در شکل موجی خاموش شدن LIGBT وجود دارد مرحله اول کاهش شدید جریان آندی است که مربوط به جریان الکترونی از طریق MOSFET می باشد. به منظور رفع این ملزومات، ساختارهای جدیدی نظیر اکسید گیت مدفون، LUDMOSFETs، MOSFET قدرت جانبی مدفون با یک تماس منبع مدفون، رویکرد چند معبری و LDMOS-IGBT هیبرید پیشنهاد شده است. دستکاه های SJ عمودی نظیر COOLMOS و MDmesh تعادل بار کامل لایه تخلیه را نشان می دهد. این کار با معرفی ستون های متناوب n-p در منطقه رانش حاصل می شود که امکان افزایش دوپینگ را در این منطقه می دهد. این خود موجب کاهش R_{SP} دستکاه ها می شود. اخیراً، SJ SOI- LDMOSFET دارای یک کانالی از دیواره جانبی دستکاه است که برای بهبود خصوصیات حالت پیشنهاد شده است. این کانال با یک گیت مدفون جانبی ایجاد شده و موجب افزایش سطح کانال می شود. برای بدست آوردن بهترین تعادل بین R_{SP} و BV، ما SJ SOI-LDMOSFET را پیشنهاد می کنیم که دارای یک ستون P اضافی و یک اکسید مدفون در منطقه رانش است. ستون P اضافی برای دست یابی به وضعیت بار متعادل دوپ می شود به این معنی که بار لایه خالص صفر است. اکسید مدفون در ستون P به کاهش طول رانش بدون کاهش مساحت هادی کمک می کند. R_{SP} ساختار پیشنهادی به طور موثر با مفهوم SJ با اکسید مدفون کاهش می یابد.

طول زمان 10 میکروثانیه برای هر دو الکترون ها و حفره ها در شبیه سازی استفاده شدند. همان طور که در شکل دیده می شود، SA-LIGBT در مقایسه با SOILIGBT بسیار پایین تر است. این خود خصوصیات مشابه با SOI-LDMOSFET دارد و این موجب کاهش زمان خاموشی و افت قدرت و توان می شود.



شکل 14

4- نتیجه گیری

ترانزیستور SJ SOI-LDMOSFET ولتاژ بالای پیشنهادی با اکسید مدفون در منطقه رانش کاهش R_{sp} نشان می دهد. برای دستگاه، که دارای طول رانش $L_d = 13.0 \mu m$ است، دوپینگ ستون $p N_A = 4.0 \times 10^{16} \text{ cm}^{-3}$ و پهنای ستون $p W_p = 0.3 \mu m$ و R_{sp} حدود $25.4 \text{ m}\Omega \text{ cm}^2$ است. شبیه سازی ها برای یافتن پارامتر های دستگاه بهینه با عمق اکسید مدفون از 2 تا 3 میکرومتر و عرض ستون p از 0.3 تا 1.3 میکرومتر متغیر است. با پهنای ستون n ، با 4 میکرومتر، عرض ستون p 0.3 میکرومتر و طول رانش l_d ، عرض ستون p 0.3 میکرومتر و طول رانش l_d 13 میکرومتر می تواند به 6.0×10^{15} افزایش یابد. همان طور که در شکل 2 نشان داده شده است ریان ساختار ها به درون ستون n پیشنهاد شده و نشان می دهد که ستون n نقش مهمی در هدایت جریان دارد.

به علاوه، SOI SA-LIGBT دارای اکسید مدفون در منطقه تجزیه آند است. ولتاژ تجزیه و مقاومت ویژه قطعات پیشنهادی به صورت تابعی از عمق اکسید مدفون، پهنای ستون p و دوپینگ تعریف می شود. ترانزیستور های دو قطبی عایق جانبی با آند کوتاه بر روی SOI دارای اکسید مدفون در منطقه آند می باشند. این خود از ولتاژ SA-LIGBT بدون افزایش طول آند جلوگیری می کند. با استفاده از یک شبیه ساز عددی دو بعدی، Minimos-NT، تایید می شود که طول رانش SJ SOILD MOSFET پیشنهادی به 65 درصد در مقایسه با ابزار های سنتی کاهش می یابد و منطقه مقاومت دیفرانسیل منفی با SOI SA-LIGBT مشاهده می شود.



این مقاله، از سری مقالات ترجمه شده رایگان سایت ترجمه فا میباشد که با فرمت PDF در اختیار شما عزیزان قرار گرفته است. در صورت تمایل میتوانید با کلیک بر روی دکمه های زیر از سایر مقالات نیز استفاده نمایید:

لیست مقالات ترجمه شده ✓

لیست مقالات ترجمه شده رایگان ✓

لیست جدیدترین مقالات انگلیسی ISI ✓

سایت ترجمه فا ؛ مرجع جدیدترین مقالات ترجمه شده از نشریات معتبر خارجی