



ارائه شده توسط:

سایت ترجمه فا

مرجع جدیدترین مقالات ترجمه شده

از نشریات معتبر

بررسی همه‌ی SoC های برنامه ریزی Zynq-7000

ویژه سازی راه حل

همه‌ی SoC های برنامه ریزی Zynq-7000 معماری نسل اول

خانواده‌ی Zynq R 7000 مبتنی بر معماری همه‌ی SoC های برنامه ریزی xilinx می باشد.

این محصولات ویژگی‌های غنی دو هسته ای یا تک هسته ای ، Cortex™ مبتنی بر A9 در سیستم پردازش

(PS) و منطق برنامه ریزی (PL) 28 Xilinx نانومتر را در یک دستگاه مجزا تجمیع می کنند.

CPU های ARM Cortex-A9 ، مرکز PS هستند و نیز شامل حافظه‌ای بر روی تراشه، واسط های حافظه

خارجی و مجموعه ای غنی از واسط های اتصال جانبی هستند.

سیستم پردازش (PS)

ARM Cortex مبتنی بر A9

واحد پردازشگر کاربردی (APU)

- 2.5 DMIPS بر مگا هرتز در هر CPU

- فرکانس CPU : بالای یک گیگا هرتز

- پشتیبانی چند پردازشگر پیوسته

• معماری ARM V7-A

• امنیت Trust zone R

- معماری محیط اجرای Jazelle R RCT

- موتور پردازش رسانه ای NEON™

- واحد نقطه‌ی شناور بردار صحت مجزا و تکی

- coresight™ و برنامه‌ی (PTM) Trace Marcell

- تایمر و وقفه

• سه تایمر نگهبان

- یک تایمر سراسری
- دو تایمر سه تایی شمارنده

مخازن

- راهنمای مجموعه انجمنی 4 روشی سطح یک 32 کیلو بایت و داده‌های مخازن (مستقل برای هر CPU)

- مخزن سطح 2 مجموعه انجمنی 8 روشی، 512 کیلو بایت (مشارکتی بین CPU ها)

- پشتیبانی برابری بایت

در حافظه روی تراشه

- روی تراشه بوت ROM

- 256 کیلو بایت در تراشه RAM (OCM)

- پشتیبانی برابری بایت

واسط های حافظه‌ی خارجی

- کنترل کننده های حافظه دینامیک چند پروتکلی

- واسط های 16 بیت یا 32 بیت در حافظه های DDR3 ، DDR3L ، DDR2 یا LPDDR2

- پشتیبانی ECC در حالت 16 بیت

- یک گیگا بایت از فضای آدرس با استفاده از درجه‌ی مجزای حافظه های گسترده 8 – 16 یا 32 بیت.

- واسط های حافظه ثابت

- داده های SRAM 8 بیتی با بیش از 64 مگا بایت پشتیبانی

- پشتیبانی فلش NOR موازی

- پشتیبانی فلش OFNI 1.0 NAND (1 بیت ECC)

- 1 بیت SPI ، 2 بیت SPI ، 4 بیت SPI (SPI چهارگانه) یا دوچهارگانه SPI (8 بیتی) فلش NOR ترتیبی

کنترل کننده‌ی 8 کانال DMA

- حافظه به حافظه، حافظه جانبی ، جانبی به حافظی و پشتیبانی تراکنش (معامله) پراکندگی - جمع آوری

I/O جانبی ها و واسط ها

- دو جانبی MAC اترنت سه سرعتی 10 / 100 / 1000 با IEEEStd802.3 و IEEEStd1588 اصلاح 2/0 پشتیبانی.

- قابلیت DMA پراکندگی - جمع آوری
- تشخیص چارچوب های PTP 1588 rev.2
- واسط های GMII ، RGMII و SGMII
- دو USB 0/2 جانبی های OTG که هر کدام بیش از 12 نقطه نهایی را پشتیبانی می کنند.
- USB 0/2 ، هسته IP دستگاه سازگار
- پشتیبانی حالت های در حال حرکت، سرعت بالا، سرعت کامل و سرعت کم
- اینتل EHCI ، هاست USB سازگار

- دو CAN2.0B

- واسطه های باس CAN سازگار
- CAN2.0B و CAN2.0-B و ISO 118981-1 استاندارد سازگار
- واسط PHR خارجی

- دو کنترل کننده سازگار SD/SDIO 2.0 / MMC3.31

- دو پورت SPI دو تایی با سه انتخاب جانبی تراشه

- دو UARTs سرعت بالا (بالای یک مگا بایت در ثانیه)

- دو واسط اصلی و فرعی C 12

- GPIO با چهار بانک 32 بیتی که از آن بالای 54 بیت با PS I/O با 4 بانک 32 بیتی استفاده می شود (یک

بانک 32 بیت و یک بانک 22 بیت) و بالای 64 بیت (بالای دو بانک 32 بیت) متصل به منطق برنامه ریزی

- بالای 54 تسهیم انعطاف پذیر (I/O , MIO) برای تکالیف پین جانبی (MIO)

اتصال داخلی

- اتصال پهنای باند بالا درون PS و بین PS و PL

- ARM AMBAR مبتنی بر AXI

Q - پشتیبانی QOS در سرورهای حیاتی برای کنترل پهنای باند و تأخیر

منطق برنامه ریزی (PL)

بلوک های منطقی قابل پیکربندی (CLB)

- جداول جستجو (LUT)

- فلیپ فلاپ ها

- افزایش گره های آبخاری

36 کیلو بایت بلوک RAM

- پورت های دوگانه ی واقعی

- پهنای بیش از 72 بیت

- قابل پیکربندی به عنوان بلوک 18 کیلو بایت RAM

بلوک های DSP

- امضاء ضرب 18×25

- 48 بیت افزایشگر / انباشتگر

- 25 بیت پیش افزایشگر

بلوک های برنامه ریزی I/O

- پشتیبانی های LVCMOS ، LVDS و SSTL

- I/O 3.3 V در 1.2 V

- تأخیر I/O برنامه ریزی و Ser Des

اسکن مرز JTAG

- واسط تست سازگار IEEEStd1199.1

بلوک PCI Express R

- پشتیبانی پیکربندی های نقطه نهایی و پیچیده Root

- پشتیبانی بیش از سرعت های Gen2
- پشتیبانی بالای 8 خط

فرستنده ها و گیرنده های ترتیبی

- بالای 16 دریافت کننده و انتقال دهنده
- پشتیبانی نرخ داده های بالای 12/5 گیگا بایت بر ثانیه

دو مبدل آنالوگ به دیجیتال 12 بیت

- ولتاژ بر روی تراشه و سنسجش دما
- بالای 17 کانال ورودی تمایز خارجی
- یک میلیون نمونه در هر ثانیه حداکثر نرخ تبدیل

جدول 1- همه ی SoC های قابل برنامه ریزی Zynq-7000 و Zynq-7000S

	نام	Z-	Z-	Z-	Z-	Z-	Z-	Z-	Z-	Z-	Z-
	وسیله	7007S	701 2S	7014 S	7010	70 15	7020	703 0	7035	704 5	7100
	بخش	XC7Z0	XC7	XC7Z	XC7Z	XC	XC7Z	XC7	XC7Z	XC7	XC7Z
	عدد	07S	Z01 2S	014S	010	7Z 01 5	020	Z03 0	035	Z04 5	100
س	هسته	هسته	هسته دوتایی ARM Cortex-A9 MPCore™ با CoreSight™								
س	جزای	مجزا									
س	پرداز	ARM									
س	شگر	Cortex -A9 MPCo									

س ت م	re™ با			
	CoreSi ght™			
پ ر د ا ز	پسوند د پرداز شگر	NEON و نقطه شناور دقت مضاعف/ مجزا برای هر پردازشگر		
	حداک ثر فرکان س	667 MHz (- 1): 766 MHz (- 2)	667 MHz (-1), 766 MHz (-2), 866 MHz (-3)	667 MHz (-1), 800 MHz (-2), 1 GHz (-3)
ش گ ر	L1 Cac he	32 کیلو بایت راهنما/ 32 کیلو بایت داده هر پردازشگر		
	L2 Cac he	512 کیلو بایت		
	حافظ هی روی تراشه	256 کیلو بایت		
	پشتیب	DDR3, DDR3L, DDR2, LPDDR2		

انی حافظ هی خارج ی (1)	
پشتیب انی حافظ ه ثابت خارج ی (1)	2x Quad-SPL, NAND, NOR
کانال های DM A	8 (4 تا مختص منطق برنامه ریزی)
جانب ی ها (1)	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPL, 4x 32b GPIO
جانب ی ها/ DM A	2x USB 2.0 (OTG), 2x اترنت گیگابایت 3 حالتی، 2x SD/SDIO

ساخته شده (1)	
امنیت (2)	RSA Authentication, and AES and SHA 256-bit Decryption and Authentication for Secure Boot
	<p>2x AXL 32b Master 2x AXL 32-bit برده</p> <p>4x AXL حافظه 32 بیت / 64 بیت</p> <p>16 وقفه</p> <p>سیستم پردازش در پورت های واسط منطق برنامه ریزی (واسط های اولیه و فقط وقفه)</p>

جدول 1- همه ی SoC های برنامه ریزی Zynq-7000 و Zynq-7000S (Cont'd)

نام وسیله	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
شماره بخش	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
معادل های منطق برنامه ریزی xilinc	Artix R-7 FPG A	Artix -7 FPG A	Artix -7 FPG A	Artix x-7 FPG A	Artix x-7 FPG A	Artix x-7 FPG A	Kintex R-7 FPG A	Kintex R-7 FPG A	Kintex R-7 FPG A	Kintex x R-7 FPGA

منطق برنامه ریزی	7										
	سلولها ی منطق برنامه ریزی	23 K	55 K	65 K	28 K	74 K	85 K	125 K	275 K	350 K	444 K
	جداول جستج و	14.4 00	34.4 00	40.6 00	17.6 00	46.2 00	53. 200	78.6 00	171. 900	218. 600	277.4 00
	فلیپ ها فلاپ ها	28.8 00	68.8 00	81.2 00	35.2 00	92.4 00	106 .40 0	157. 200	343. 800	437. 200	554.8 00
	بلوک های 36 کیلو بایتی Block RAM	1.8 Mb (50)	2.5 Mb (72)	3.8 Mb(107)	2.1 Mb (60)	3.3 Mb (95)	4.9 Mb (14 0)	9.3 Mb (26 5)	17.6 Mb (50 0)	19.1 Mb (54 5)	56.5 Mb (755)
	قطعات DSP (18* 25	66	120	170	80	160	220	400	900	900	2,020

MAC Cs)											
پیک عملکرد DSP FIR) مقارن (73 GMA Cs	131 GMA Cs	187 GMA Cs	100 GM ACs	200 GM ACs	276 GM ACs	593 GM ACs	1,33 4 GM ACs	1,33 4 GM ACs	2,622 GMA Cs	
PCL Expr ess (Root Com plex or Endp oint) ⁽ 3)		Gen 2 ×4			Gen 2 ×4		Gen 2 ×4	Gen 2 ×B	Gen 2 ×B	Gen2 ×B	
سیگنا لهای ترکیبی آنالوگ (AMS) / XADC	2x 12 bit, MSPS ADCs با بیش از 17 ورودی متمایز										

	امنیت ²⁾	AES و 256 SHA بیت برای کد بوت و پیکربندی منطقی، رمز گشایی و اهراز هویت
	(2)	

نکات:

1) محدودیت ها برای پکیج CLG225 بکار می رود. برای جزئیات به راهنمای مرجع فنی Zynq-7000 SoC UG585, رجوع کنید.

2) امنیت توسط سیستم پژوهشگر و منطق برنامه ریزی تقسیم می شود.

3) به 7 سری PG054، بلوک تجمعی FPGAs برای پشتیبانی PCI Express در وسائل خاص رجوع کنید.

جدول 2- ترکیبات پکیج-وسیله: حداکثر فرستنده و گیرنده های I/Os و GTP و GTX

Package ⁽¹⁾	CLG225			CLG400			CLG484			CLG485 ⁽²⁾			SBG485 ⁽²⁾ SBV485					
Size	13 x 13 mm			17 x 17 mm			19 x 19 mm			19 x 19 mm			19 x 19 mm					
Ball Pitch	0.8 mm			0.8 mm			0.8 mm			0.8 mm			0.8 mm					
Transceiver Speed (max)										6.25 Gb/s			6.6 Gb/s					
Device	PS I/O ⁽³⁾			SelectIO			PS I/O ⁽³⁾			SelectIO			PS I/O ⁽³⁾			SelectIO		
	HR ⁽⁴⁾	HP ⁽⁵⁾		HR ⁽⁴⁾	HP ⁽⁵⁾		HR ⁽⁴⁾	HP ⁽⁵⁾		HR ⁽⁴⁾	HP ⁽⁵⁾		HR ⁽⁴⁾	HP ⁽⁵⁾		HR ⁽⁴⁾	HP ⁽⁵⁾	
XC7Z007S	84	54	-	128	100	-												
XC7Z012S									128	4	150	-						
XC7Z014S				128	125	-	128	200	-									
XC7Z010	84	54	-	128	100	-												
XC7Z015									128	4	150	-						
XC7Z020				128	125	-	128	200	-									
XC7Z030													128	4	50	100		
XC7Z035																		
XC7Z045																		
XC7Z100																		

نکات:

1) همه پکیج های لیست شده بدون Pb هستند (SBG485 با حذف 15). برخی پکیج ها با گزینه Pb در دسترس هستند.

2) وسایل Z-7012S و Z-7015 در پکیج CLG485 و وسیله Z-7030 در پکیج SBG485/SBV485 دارای سازگاری پین به پین هستند.

3) شمارش PS I/O شامل پین های کالیبراسیون DDR اختصاصی نیست.

4) HR گستره بالای I/O با پشتیبانی برای ولتاژ I/O از 1/2 ولت به 3/3 ولت

5) عملکرد بالای I/O با پشتیبانی ولتاژ I/O از 1/2 ولت به 1/8 ولت

جدول 3- ترکیبات پکیج - وسیله : حداکثر گیرنده ها و فرستنده های I/O و GTX و GTP (Con't)

Package ⁽¹⁾	FBG484 FBV484				FBG676 FBV676				FFG676 FFV676				FFG900 FFV900				FFG1156 FFV1156							
Size	23 x 23 mm				27 x 27 mm				27 x 27 mm				31 x 31 mm				35 x 35 mm							
Ball Pitch	1.0 mm				1.0 mm				1.0 mm				1.0 mm				1.0 mm							
Transceiver Speed (max)	6.6 Gb/s				6.6 Gb/s				12.5 Gb/s				12.5 Gb/s				10.3 Gb/s							
Device	PS I/O ⁽²⁾		GTX		SelectIO		PS I/O ⁽²⁾		GTX		SelectIO		PS I/O ⁽²⁾		GTX		SelectIO		PS I/O ⁽²⁾		GTX		SelectIO	
	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾	HR ⁽³⁾	HP ⁽⁴⁾		
XC7Z007S																								
XC7Z012S																								
XC7Z014S																								
XC7Z010																								
XC7Z015																								
XC7Z020																								
XC7Z030	128	4	100	63	128	4	100	150	128	4	100	150												
XC7Z035					128	8	100	150	128	8	100	150	128	16	212	150								
XC7Z045					128	8	100	150	128	8	100	150	128	16	212	150								
XC7Z100													128	16	212	150	128	16	250	150				

نکات :

1) همه پکیج های لیست شده بدون Pb هستند (FBG و FBG با حذف 15). برخی پکیج ها با گزینه Pb در دسترس هستند.

2) شمارش PS I/O شامل پین های کالیبراسیون DDR اختصاصی نیست.

3) HR گستره بالای I/O با پشتیبانی برای ولتاژ I/O از 1/2 ولت به 3/3 ولت

4) عملکرد بالای I/O با پشتیبانی ولتاژ I/O از 1/2 ولت به 1/8 ولت

توصیف خانوادهی Zynq-7000

خانوادهی Zynq-7000 ، انعطاف پذیری و مقیاس پذیری یک FPGA را ارائه می کند، در حالیکه عملکرد، قدرت و سهولت استفادهی فراهم شده نوعاً با ASIC و ASSPs مرتبط است.

حوزهی وسائل در خانوادهی Zynq-7000 به طراحان اجازه می دهد که کاربردهای هزینه های حساس و همچنین عملکرد بالا را از یک پلت فرم مجزا با استفاده از ابزارهای استاندارد صنعت، هدف قرار دهد، در حالیکه هر دستگاهی در خانواده Zynq-7000 شامل منابع PC مشابه است. PL و I/O بین دستگاه ها متفاوت هستند.

در نتیجه Zynq-7000 SOCS و Zynq-7000 قادر هستند گستره‌ی وسیعی از کاربردها را ارائه دهند، از جمله:

- کمک گرداننده‌ی خودکار، اطلاعات گرداننده و سرگرمی

- دوربین پخش

- دوربین LP و smart

- رادیو LTE و باند پایه

- تشخیص و تصویر برداری پزشکی

- پرینترهای چند منظوره

- ویدئو و تجهیزات دید در شب

معماری Zynq-7000، اجرای منطق سفارشی را در PL و نرم افزار سفارشی را در PS فعال می کند. آن اجازه درک کارکردهای سیستم متمایز و منحصر به فرد را می دهد. تجمیع PS با PL سطوح کارکردی را مجاز می کند که راه حل های دو تراشه (مثل ASSP یا FPGA) نمی توانند بدلیل پهنای باند محدود I/O، تأخیر و بودجه‌ی نیرو (برق) با هم هماهنگ شوند.

Xilinx تعداد زیادی از نرم افزارهای IP برای خانواده‌ی Zynq-7000 ارائه می دهد. گرداننده های دستگاه Stand-alone و لینوکس (Linux) برای جانبی ها در PS و PL موجود هستند.

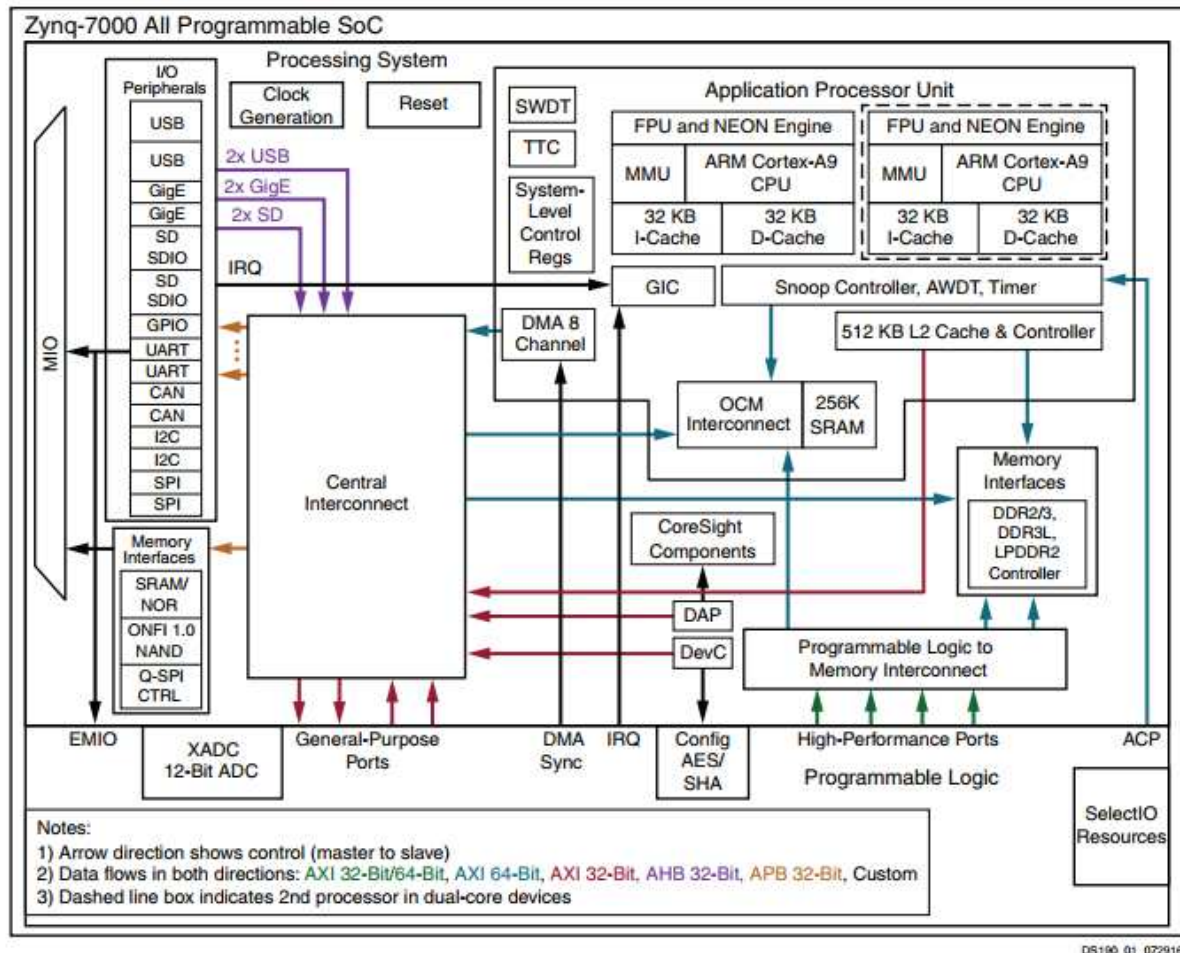
محیط توسعه‌ی Vivado R Design suit، سرعت سریع محصول را برای نرم افزار، سخت افزار و مهندسان سیستم ها، فعال می کند. اتخاذ PS مبتنی بر ARM همچنین گستره‌ی وسیعی از ابزارهای طرف سوم (شخص ثالث) و فراهم کنندگان IP در ترکیب با اکوسیستم pl موجود Xilinx را به ارمغان می آورد.

شمول یک پردازشگر کاربردی، پشتیبانی سیستم عملیاتی سطح بالا را فعال می سازد، برای مثال لینوکس. سایر سیستم های عملگر استاندارد که با پردازشگر Cortex-A9 استفاده می شوند، همچنین برای خانواده Zynq-7000 موجود هستند.

PS و PL در قلمروهای قدرت مجزا هستند و کاربر این دستگاه ها را قادر می سازند که PL را برای مدیریت قدرت در صورت نیاز خاموش کند. پردازشگرها در PS همیشه ابتدا بوت می شوند و اجازه‌ی یک رویکرد محوری

نرم افزاری را برای پیکربندی PL می دهند. پیکربندی PL توسط نرم افزاری که در CPU اجرا می شود، اداره می شود؛ بنابراین آن مشابه یک ASSP بوت می شود.

شکل 1- نمایش بلوک های کارکردی معماری Zynq-7000. برای اطلاعات بیشتر در مورد بلوک های کارکردی Zynq-7000 APSOC, UG585, راهنمای مرجع فنی را ملاحظه کنید.



نکات :

(1) جهت های پیکان کنترل ها را نشان می دهد (از سرور به slave)

(2) داده ها در دو جهت جریان دارند :

AXI 32- Bit/64-Bit, AXI 64 Bit, AXI 32 Bit, AHB 32 Bit, APB 32 Bit

(3) خط چین ها پردازشگر دوم در دستگاه های دو هسته ای را نشان می دهند.

توصیف سیستم پردازشگر

همانطور که در شکل 1 نشان داده شده است، PS شامل 4 بلوک اصلی است:

- واحد پردازشگر کاربردی (APU)

- واسط های حافظه

- جانبی های I/O (IOP)

- اتصالات داخلی

واحد پردازشگر کاربردی (APU)

ویژگی های کلیدی APU شامل موارد زیر می باشد:

- هسته های ARM Cortex-A9 MP دو هسته ای یا تک هسته ای

- DMIPS 2.5 بر مگا هرتز

- گستره ی فرکانس عملیاتی:

Z-7007S/Z-7012S/Z-7014S (باند سیم) (-2); 766 MHz (-1); Up to 667 MHz

Z-7010/Z-7015/Z-7020 (باند سیم) (-3); 866 MHz (-2); 766 MHz (-1); Up to 667 MHz

Z-7030/Z-7035/Z-7045 (فلیپ فلاپ) (-3); 1 GHz (-2); 800 MHz (-1); 667 MHz

Z-7100 (فلیپ فلاپ) (-2); 800 MHz (-1); 667 MHz

- توانایی عملیات در پردازشگر تکی، پردازشگر دو تایی متقارن و حالت های پردازشگر دو تایی نامتقارن

- نقاط شناور دقت مجزا یا دو تایی: هر کدام بالای 2.0 MFLOPS/MHz

- موتور پردازشگر رسانه ی NEON برای پشتیبانی SIMD

- پشتیبانی Thumb R-2 برای فشرده سازی کد

- Cache های سطح 1 (راهنما و داده های مجزا، هر کدام 32 کیلو بایت)

- تنظیم شرکت پذیر 4 روشی

- Cache داده ی غیر مسدود

- واحد مدیریت حافظه ی تجمیعی

- TrustZone R برای عملیات حالت ایمن

- واسط پورت پیوسته شتاب دهنده (ACP)، دسترسی های پیوسته از PL به فضای حافظه ی CPU را فعال می سازد.
 - Cache سطح 2 متحد (512 کیلو بایت)
 - تنظیم شرکت پذیر 8 روشی
 - TrustZone فعال شده برای عملیات ایمن
 - دو پورت بر روی تراشه ی RAM (256 کیلو بایت)
 - دسترس پذیر توسط CPU و منطق برنامه ریزی (PL)
 - طراحی شده برای دسترسی تأخیر کم از CPU
 - DMA 8 کاناله
 - انواع انتقال پشتیبانی چندگانه (متعدد): حافظه به حافظه ، حافظه به جانبی ، جانبی به حافظه و پراکندگی جمع آوری
 - واسط AXI 64 بیتی که انتقال های DMA توان عملیاتی را فعال می سازد.
 - 4 کانال اختصاص یافته به PL
 - TrustZone فعال شده برای عملیات ایمن
 - واسط های دسترسی ثبت دو تایی، جداسازی را بین دسترسی های ایمن و غیر ایمن تقویت می کند.
 - وقفه ها و تایمرها
 - کنترل کننده ی وقفه های کلی (GIC)
 - سه تا تایمر نگهبان WDT (یکی برای هر CPU و یکی برای سیستم WDT)
 - دو تا تایمر / شمارنده سه تایی (TTC)
 - اشکال زدایی CoreSight و پشتیبانی ردیابی برای Cortex-A9
 - برنامه ی ردیابی ماکروسل (PTM) برای راهنمایی و ردیابی
 - واسط راه اندازی متقابل (CTI) که نقطه ی انفصال و راه اندازی را فعال می کند.
- واسط های حافظه

واحد واسط حافظه شامل یک کنترل کننده‌ی حافظه‌ی دینامیک (متحرک) و ماژول های واسط حافظه ثابت می باشد. کنترل کننده‌ی حافظه متحرک از حافظه های DDR2، DDR3L، DDR3 و LPDDR2 پشتیبانی می کند. کنترل کننده های حافظه ثابت از واسط فلش NAND، یک واسط فلش Quad-SPI، یک دیتاباس موازی و واسط فلش NOR پشتیبانی می کنند.

واسط های حافظه متحرک

کنترل کننده‌ی حافظه‌ی DDR چند پروتوکلی می تواند برای فراهم کردن دسترسی های 16 بیت یا گستره‌ی 32 بیت در یک فضای آدرس 1 گیگا بایتی با استفاده از پیکربندی رتبه‌ی مجزای 8 بیتی، 16 بیتی یا 32 بیتی حافظه های DRAM پیکربندی شود.

ECC در یک حالت دسترسی باس 16 بیتی پشتیبانی می شود. PS شامل کنترل کننده‌ی DDR و PHY مرتبط و شامل مجموعه I/O اختصاص یافته به آن می باشد.

کنترل کننده‌ی حافظه DDR چند پورتهی است و سیستم پردازش و منطق برنامه ریزی را قادر می سازد که به حافظه مشترک دست یابند.

کنترل کننده‌ی DDR برای پورت های AXI slave برای این هدف، مشخص شده است:

- یک پورت 64 بیتی برای ARM CPU(s) از طریق کنترل کننده‌ی L2 cache اختصاص یافته است و می تواند برای تأخیر کم پیکربندی شود.
- دو پورت 64 بیتی برای دسترسی PL اختصاص یافته اند.
- یک پورت AXI 64 بیتی توسط همه دیگر سرورهای AXI از طریق اتصالات داخلی مرکزی تقسیم می شود (به اشتراک گذاشته می شود)

واسط های حافظه ثابت

واسط های حافظه ثابت از حافظه های ثابت خارجی پشتیبانی می کنند.

- دیتاباس SRAM 8 بیتی تا 64 مگا بایت پشتیبانی می کند.
- فلش NOR موازی 8 بیتی از بیش از 64 مگا بایت پشتیبانی می کند.
- فلش NAND ONFI1.0 با 1 بیت ECC – پشتیبانی می شود.

- یک بیت SPI، دو بیت، 4 بیت (SPI چهارگانه) یا SPI دو چهارگانه (8 بیتی) فلش NOR ترتیبی

جانبی های I/O (IOP)

واحد IOP شامل جانبی های ارتباطات داده می باشد. ویژگی های کلیدی IOP شامل:

- دو MAC جانبی اترنت سه حالتی 10 / 100 / 1000 با IEEE Std 802.3 و پشتیبانی اصلاح IEEE Std 1588 2.0

- قابلیت DMA پراکندگی - جمع آوری

- تشخیص چهارچوب های PTP 1588 rev. 2

- پشتیبانی واسط PHY خارجی

- دو جانبی OTG 2.0 که هر یک بیش از 12 نقطه پایانی را پشتیبانی می کنند.

- حالت های سرعت بالا و سرعت کامل در Host، دستگاه و پیکر بندی On-The-Go

- سازگاری USB کامل 2.0، هاست و هسته IP دستگاه

- استفاده از سرور 32 بیتی AHB DMA و واسط های AHB slave

- فراهم کردن یک واسط PHY خارجی 8 بیتی ULPI

- ثبت های کنترل کننده هاست USB سازگار با Intel EHCI و ساختارهای داده ها

- دو CAN 2.0B کامل سازگار کنترل کننده های واسط باس CAN

▪ استاندارد CAN 2.0B آنطور که توسط BOSCH GmbH توصیف شده است.

▪ ISO 118981

▪ واسط PHY خارجی

- دو SD/SDIO سازگار با کنترل کننده های SD/SDIO با DMA داخلی

- دو پورت کابلی دو تایی با سه انتخاب تراشه جانبی

- دو UART

- واسط های I2C دو سرور و slave

با استفاده از سیستم TrustZone، دو اترنت، دو SPI و دو پورت USB (همه دستگاه های سرور) می توانند بصورت ایمن یا غیر ایمن پیکربندی شوند.

جانبی های IOP با دستگاه های خارجی از طریق یک مخزن مشترک از بالای 54 پین (MIO) I/O چند کاربردی اختصاص یافته، مرتبط می شوند. هر کدام از جانبی ها می تواند به یکی از چندین گروه از پیش توصیف شده از پین ها محول شود (اضافه شود) و واگذاری انعطاف پذیر چندین دستگاه را بطور همزمان فعال سازد. اگرچه 54 پین برای استفاده ی همزمان همه ی جانبی های I/O کافی نیست، بیشتر سیگنال های واسط IOP موجود در PL، استفاده از پین های استاندارد I/O PL وقتی روشن شود و به درستی پیکربندی شود را مجاز می کند.

همه پین های MIO از استانداردهای 1.8V HSTL و LVCMOS همچنین استانداردهای 2.5V/3.3V پشتیبانی می کنند.

اتصالات داخلی

APU واحد واسط حافظه و IOP به یکدیگر و به PL از طریق اتصال داخلی ARM AMBA AXI چند لایه ای متصل می شوند. اتصال داخلی غیر مسدود است و از مبادلات سرور-slave همزمان متعدد پشتیبانی می کند. این اتصال داخلی که با سرورهای حساس تأخیر، همچون ARM CPU طراحی شده است، کوتاهترین مسیرها را به حافظه دارد. سرورهای حیاتی پهنای باند، همچون سرورهای PL بالقوه، اتصالات توان عملیاتی بالا با slave مورد نیاز برای ارتباط با آن، دارند.

ترافیک از طریق اتصال داخلی می تواند از طریق بلوک کیفیت خدمت (QoS) در اتصال داخلی تنظیم شود. ویژگی QoS برای تنظیم ترافیک ایجاد شده بوسیله CPU، کنترل کننده DMA و هویت ترکیبی که سرور را در IOP ارائه می کند، استفاده می شود.

واسط های PS

واسط های خارجی PS

واسط های خارجی PS از پین های اختصاصی استفاده می کنند که نمی تواند به عنوان پین های PL اختصاص یابد. این ها شامل:

- ساعت، ریست، حالت بوت و رفرنس ولتاژ

- بالای پین چند کاربری اختصاص یافته (MIO) I/O ، نرم افزار پیکربندی برای اتصال به هر یک از جانبی های I/O داخلی و کنترل کننده های حافظه ثابت

- حافظه های 32 بیت یا 16 بیت DDR2 ، DDR3 ، DDR3L ، LPDDR2

بررسی MIO

عملکرد MIO، دسترسی متعدد از واسطه های حافظه ثابت و جانبی PS در پین های PS آنطور که در ثبت های پیکربندی توصیف شده است، می باشد.

بیش از 54 پین موجود برای استفاده بوسیله واسطه های حافظه ثابت و IOP در PS وجود دارد. جدول 4 نشان می دهد پین های جانبی مختلف در چه جاهایی می توانند نگاشت شوند. یک نمودار بلوک از ماژول MIO در شکل 2 نشان داده شده است.

اگر پین های I/O اضافی بیش از 54 مورد نیاز باشند، مسیریابی اینها از طریق PL به I/O مرتبط با PL ممکن است این ویژگی به عنوان I/O متعدد (EMIO) قابل گسترش ارجاع می شود.

نگاشت های پورت می توانند در موقعیت های متعدد ظاهر شوند. برای مثال بیش از 12 نگاشت پورت ممکن برای پین های CAN وجود دارد. ابزار ویزارد پیکربندی PS (PCW) باید برای نگاشت پین حافظه ثابت و جانبی استفاده شود.

جدول 4: نگاشت واسطه های جانبی MIO

Peripheral Interface	MIO	EMIO
Quad-SPI NOR/SRAM NAND	Yes	No
USB 0,1	Yes — External PHY	No
SDIO 0,1	Yes	Yes
SPI: 0,1 I2C: 0,1 CAN: 0,1 GPIO	Yes CAN: External PHY GPIO: Up to 54 bits	Yes CAN: External PHY GPIO: Up to 64 bits
GigE: 0,1	RGMI v2.0 External PHY	Supports GMII, RGMII v2.0 (HSTL), RGMII v1.3, MII, SGMII, and 1000BASE-X in Programmable Logic
UART: 0,1	Simple UART: Only two pins (Tx and Rx)	Full UART (Tx, Rx, DTR, DCD, DSR, RI, RTS and CTS) either require: Two Processing System pins (Rx and Tx) through MIO and six additional Programmable Logic pins, or Eight Programmable Logic pins
Debug Trace Ports	Yes — Up to 16 trace bits	Yes — Up to 32 trace bits
Processor JTAG	Yes	Yes

هر کدام نیازمند : 2 پین سیستم پردازشگر (Tx و Rx) از طریق MIO و 6 پین منطق برنامه ریزی اضافی یا 8

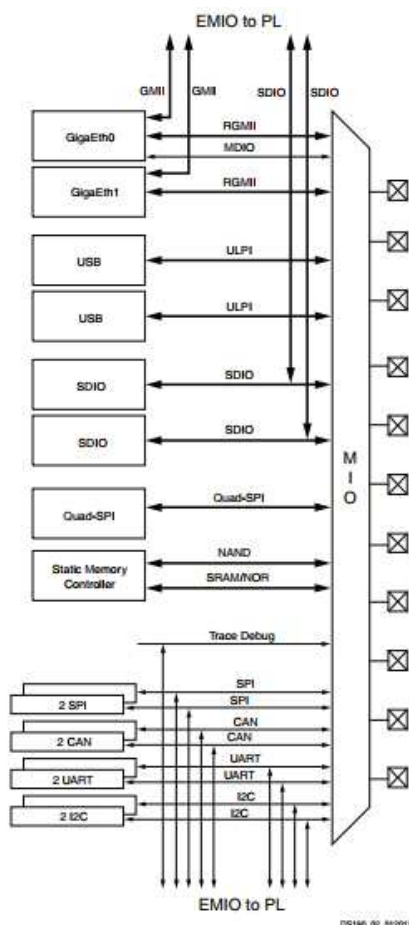
پین منطق برنامه ریزی

نکات:

1. محدودیت های بکار رفته برای پکیج CLG225. برای جزئیات به راهنمای مرجع فنی SOC های برنامه ریزی

UG585، Zynq-7000 مراجعه کنید.

شکل 2: نمودار بلوک ماژول MIO



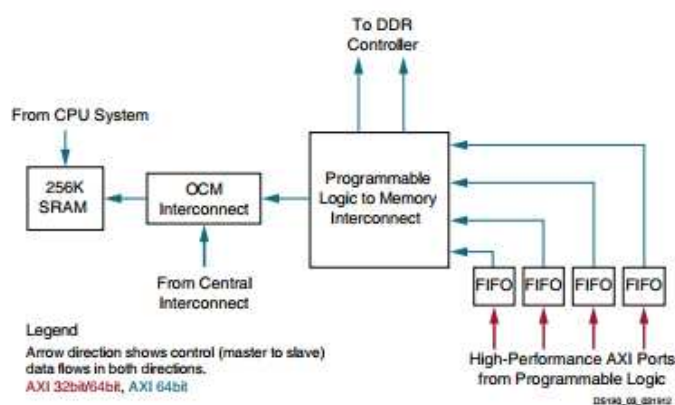
واسط های PS-PL

واسط های PS-PL عبارتند از :

- واسط های AMBA AXI برای ارتباطات داده های اولیه
 - دو واسط سرور AXI 32 بیتی
 - دو واسط پیرو AXI 32 بیتی
 - 4 واسط پیرو AXI میانگین دار، قابل پیکربندی 32 بیتی / 64 بیتی با دسترسی مستقیم به حافظه DDR و OCM که به عنوان پورت های AXI عملکرد بالا ارجاع می شود.
 - یک واسط پیرو AXI 64 بیتی (پورت ACP) برای دسترسی پیوسته به حافظه CPU
- DMA ، وقفه ها، سیگنال های رویداد
 - رویداد پردازشگر باس برای علامت دهی به اطلاعات رویدادی در CPU
 - وقفه های IP جانبی PL در PS GIC

- چهار سیگنال کانال DMA
 - سیگنال های راه اندازی نامتقارن
 - I/O های گسترده و متعدد (EMIO) به جانبی های PS نگاشت نشده اجازه می دهند به PL I/O دسترسی داشته باشند.
 - ساعت ها و ریست ها
 - 4 خروجی ساعت PS در PL با کنترل شروع - توقف
 - 4 خروجی ریست PS در PL
 - پیکربندی و دیگر دستگاه ها
 - پورت دسترسی پیکربندی پردازشگر (PCAP) برای پشتیبانی از پیکربندی PL جزئی و کامل و رمزگشایی و اهراز هویت تصویر بوت PS ایمن
 - سیگنال های RAM باتری مورد حمایت از PL به PS
 - واسط XADC
 - واسط JTAG
- دو مورد از بالاترین عملکردهای واسط بین PS و PL برای انتقال داده ها، عملکرد بالای پورت AXI و واسط های ACP است. پورت های AXI عملکرد بالا برای انتقال داده های توان عملیاتی بین PS و PL استفاده میشوند. اگر وابستگی (ارتباط) مورد نیاز باشد، تحت کنترل نرم افزار مدیریت می شود. وقتی که دسترسی ارتباط سخت افزاری به حافظه ی CPU مورد نیاز باشد، پورت ACP باید استفاده شود.
- پورت های AXI عملکرد بالا**
- پورت های AXI عملکرد بالا دسترسی از PL به DDR و OCM در PS را فراهم می کنند. 4 پورت حافظه AXI اختصاصی از PL به PS به صورت یا واسط های 32 بیتی یا واسط 64 بیتی، قابل پیکربندی هستند. همانطور که در شکل 3 نشان داده شده است، این واسط ها PL را به اتصالات داخلی حافظه توسط کنترل کننده ی FIFO متصل می کنند. دو تا از سه پورت خروجی به کنترل کننده حافظه DDR می روند و سومی به پورت دو تایی در حافظه روی تراشه (OCM) می رود.

شکل 3: واسط PL به سیستم فرعی حافظه PS



هر پورت AXI عملکرد بالا سه ویژگی دارد:

- تأخیر کاهشی بین PL و حافظه سیستم پردازش

- 1 کیلو بایت عمق FIFO

- قابل پیکربندی یا به عنوان واسط AXI 32 بیتی یا 64 بیتی

- پشتیبانی از بیش از 32 کلمه حافظه میانجی برای پذیرش خواندن

- پشتیبانی از کنترل رها سازی داده ها برای دسترسی های نوشتن برای استفاده کارآمد از پهنای باند اتصالات

داخلی

- پشتیبانی از دستورات AXI متعدد صادر شده در DDR و OCM

پورت تطابق (ارتباط) شتاب دهنده (ACP)

پورت ارتباط شتاب دهنده (ACP) یک واسط پیرو AXI 64 بیتی است که اتصال بین APU و یک کارکرد شتاب

دهنده بالقوه را در PL فراهم می کند.

ACP مستقیماً به PL در واحد کنترل اسنوب (SCU) از ARM پردازشگر Cortex-A9 متصل می شود و

دسترسی cache پیوسته به داده های CPU را در cache های L1 و L2 فعال می سازد. ACP یک مسیر کم

تأخیر بین PS و PL مبتنی بر شتاب دهنده در مقایسه با هنگامیکه legacy-cache طرح را فلاشینگ می کند

و بارگزاری می کند، فراهم می کند.

توصیف منطق برنامه ریزی (pi)

ویژگی های کلیدی pl شامل:

- CLB
 - هشت LUT در هر CLB برای پیاده سازی منطقی تصادفی یا حافظه توزیعی
 - LUT های حافظه به عنوان RAM 64×1 یا 32×2 بیت یا شیفت رجیستر (SRL)، قابل پیکربندی هستند.
 - 16 فلیپ فلاپ در هر CLB
 - 2×4 بیت افزایشگر آبخاری برای کارکردهای حساب
- RAM بلوک 36 کیلو بایتی
 - پورت دو تایی واقعی
 - عرض بالا 36 بیت
 - قابل پیکربندی به صورت بلوک 18 کیلو بایتی RAMs
- قطعه های DSP
 - امضاء ضرب 18×25
 - افزایشگر / انباشتگر 48 بیتی
- بلوک های I/O قابل برنامه ریزی
 - پشتیبانی برای استانداردهای متداول I/O شامل: SSTL ، LVDS ، LVCMOS
 - 1.2 V به 3.3 V I/O
 - تأخیر I/O برنامه ریزی غیر قابل انتقال
- گیرنده و فرستنده ترتیبی قدرت کم در دستگاه های انتخابی
- یک بلوک پورت ریشه/ نقطه نهایی تجمیعی (بتواند در هنگام اتصال به PS بطور پیچیده root شود) برای بیان PCI در دستگاه های انتخابی
- دو مدل آنالوگ به دیجیتال 12 بیتی (XADC)
 - ولتاژ روی تراشه و دما

- بالای 17 کانال ورودی متمایز خارجی

- ماژول پیکربندی PL

CLB ها، قطعه ها و LUT ها

برخی ویژگی معماری CLB شامل:

- LUT های ورودی واقعی
- قابلیت حافظه درون LUT
- کارکرد رجیستر و شیفت رجیستر

LUT ها می توانند به عنوان یک LUT 6 ورودی (64 بیت ROM) با یک خروجی یا به عنوان دو LUT پنج ورودی (32 بیت ROM) با خروجی های مجزا، اما آدرس های متداول یا بازده های منطقی پیکربندی میشوند. هر خروجی LUT می تواند بصورت اختیاری در یک فلیپ فلاپ ثبت شود.

4 مورد از چنین LUT هایی و 8 فلیپ فلاپ آنها همچنین ضرب کننده ها و حساب، فرم منطقی را از یک نقطه و دو قطعه از یک بلوک منطقی قابل پیکربندی (CLB) حمل می کنند. 4 تا از این 8 فلیپ فلاپ در هر نقطه (یک فلیپ فلاپ برای هر LUT) می توانند بصورت اختیاری به عنوان ضامن پیکربندی می شوند.

بین 25 الی 50 درصد از همه قطعه ها می توانند همچنین از LUT های خود به عنوان RAM توزیعی 64 بیتی رجیستر شیفت (SRL32) یا بصورت دو SRL16C استفاده کنند. ابزارهای ترکیبی جدید از این ویژگی های منطق خیلی کارآمد، حساب و حافظه بهره می برند.

مدیریت ساعت

برخی از برجستگی های کلیدی معماری مدیریت شامل موارد زیر می باشد:

- میانگیرهای (بافرهای) سرعت بالا و مسیریابی برای توزیع ساعت چوله پایین
- ترکیب فرکانس و تغییر فاز
- نسل ساعت Low-jitter و فیلترینگ jitter

هر دستگاهی در خانواده Zynq-7000 بیش از 8 tile مدیریت ساعت (CMTs) دارد که هر یک شامل یک مدیر ساعت حالت ترکیبی (MMCM) و یک لوپ فاز قفل (PLL) می باشد. جدول 5 را ملاحظه کنید.

جدول 5: محاسبه MMCM برای هر دستگاه

Zynq Device	MMCM	PLL
XC7Z007S	2	2
XC7Z012S	3	3
XC7Z014S	4	4
XC7Z010	2	2
XC7Z015	3	3
XC7Z020	4	4
XC7Z030	5	5
XC7Z035	8	8
XC7Z045	8	8
XC7Z100	8	8

مدیر ساعت حالت ترکیبی و لوپ فاز قفل

MMCM و PLL دارای ویژگی های مشترک هستند. هر دو می توانند به عنوان یک ترکیب کننده فرکانس برای طیف وسیعی از فرکانس ها و به عنوان فیلتر jitter برای ساعت های ورودی بکار روند. در مرکز هر دو جزء ، یک نوسانگر کنترل کننده ولتاژ (VCO) وجود دارد که بسته به ولتاژ ورودی که از یابنده فرکانس فاز (PFD) دریافت می کند، سرعت می گیرد یا کند می شود.

3 مجموعه از تقسیم کننده های فرکانس برنامه ریزی وجود دارد: O / M / D . پیش تقسیم کننده D (برنامه ریزی شده توسط پیکربندی و سپس توسط DRP) فرکانس ورودی را کاهش می دهد و یکی از ورودی های مقایسه کننده های فرکانس/فاز PLL سنتی را تغذیه می کند. تقسیم کننده بازخورد M (برنامه ریزی شده توسط پیکربندی و سپس توسط DRP) به عنوان افزایشنده (ضرب کننده) عمل می کند، زیرا آن فرکانس بازده VCO را پیش از تغذیه دیگر ورودی های مقایسه کننده فاز تقسیم می کند.

M و D باید بطور مناسب برای فقط VOC درون طیف فرکانس مشخص انتخاب شوند. VOC هشت فاز بازده با فاصله برابر دارند ($0^0 / 45^0 / 90^0 / 135^0 / 180^0 / 225^0 / 270^0 / 315^0$). هر کدام از اینها می تواند برای حرکت یکی از تقسیم کننده های بازده (6 برای PLL ، 00 برای O5 و 7 مورد برای MMCM، 00 تا 06) انتخاب شود که هر یک می تواند توسط پیکربندی برنامه ریزی شود تا توسط هر عددی 1 تا 128 تقسیم شود.

MMCM و PLL سه گزینه فیلتر ورودی jitter دارند : حالت پهنای باند کم که بهترین تضعیف jitter را دارد/ حالت پهنای باند بالا که بهترین خنثی سازی (متعادل کننده) فاز است و حالت بهینه که به ابزارها اجازه می دهد بهترین تنظیمات را بیابند.

ویژگی های برنامه ریزی اضافی MMCM

MMCM می تواند یک محاسبه کننده (شمارنده) کوچک در هر یک از مسیرهای بازخورد (که به صورت افزایشده عمل می کند) یا در یک مسیر خروجی داشته باشد.

شمارنده های کوچک می توانند یک افزایش غیر تجمیعی $\frac{1}{8}$ را مجاز کنند و بنابراین می توانند قابلیت های ترکیب فرکانس بوسیله ی فاکتور 8 را افزایش دهند.

MMCM همچنین می تواند تغییر فاز ثابت یا مشترک در افزایش های کم فراهم کند که به فرکانس VCO بستگی دارد. در 1600 مگا هرتز، افزایش زمان بندی تغییر- فاز 11.2ps است.

توزیع ساعت

هر ساعت در خانواده ی Zynq-7000 ، شش نوع مختلف از خطوط ساعت فراهم می کند (BUFR ، BUFG ، BUFMR ، BUFH ، BUFIO و ساعت عملکرد بالا) تا نیازهای سنجش با ساعت مختلف، گنجایش خروجی بالا، تأخیر انتشار کوتاه و انحراف خیلی کم را مورد توجه قرار دهد.

خطوط ساعت جهانی

در هر دستگاه، 32 خط ساعت جهانی، بالاترین گنجایش خروجی را دارند و می توانند به همه ساعت های فلیپ فلاپ، فعال سازی ساعت و ست/ریست، همچنین بسیاری از ورودی های منطقی برسند. 12 خط ساعت جهانی درون هر ساعت منطقه ای حرکت یافته توسط بافرهای ساعت افقی (BUFH) وجود دارد. هر BUFH می تواند بطور مستقل فعال یا غیر فعال شود و به ساعت ها اجازه دهد در یک منطقه خاموش شوند و بنابراین یک کنترل ریز ارائه می دهد که مناطق ساعت بر طبق آن برق مصرف می کنند. ساعت های جهانی اغلب از CMT برگرفته شده اند که می تواند بطور کامل تأخیر اساسی توزیع ساعت را حذف کند.

ساعت های منطقه ای

ساعت های منطقه ای می توانند همه مقاصد ساعت در منطقه خود را تحریک کنند. یک منطقه به صورت ناحیه ای توصیف می شود که I/O 50 و بالای 50 CLB و نیمی از پهنای دستگاه است. هر دستگاهی در خانواده ی Zynq-7000 بین 4 و 14 منطقه دارد. 4 مسیر ساعت منطقه ای در هر منطقه وجود دارد. هر بافر ساعت

منطقه ای می تواند از هر یک از 4 پین ورودی ساعت فعال برگرفته شود و فرکانس آن می تواند بطور اختیاری توسط هر عدد صحیحی از 1 تا 8 تقسیم شود.

ساعت های I/O

ساعت های I/O بویژه سریع هستند و تنها منطق I/O و مدارهای ترتیبی و غیر ترتیبی (Ser Des) را همانطور که در بخش منطق I/O توصیف شده ارائه می کنند.

RAM بلوک

برخی از ویژگی های کلیدی RAM بلوک عبارتند از:

- RAM بلوک پورت دوتایی 36 کیلو بایتی با پهنای پورت بالای 72
- منطق FIFO برنامه ریزی
- ساخت مدار اصلاح خطای اختیاری

هر دستگاهی در خانواده ی Zynq-7000 بالای RAM 755 بلوک پورت دوتایی دارد که هر کدام ذخیره 36 کیلو بایتی دارد. هر RAM بلوک دو پورت مستقل کامل دارد که فقط داده های ذخیره شده را سهیم می شود.

عملیات همگام

هر دسترسی حافظه، خواندنی یا نوشتنی توسط ساعت کنترل می شود. همه ورودی ها، داده ها، آدرس ها، فعالسازی ساعت و فعال سازی نوشتن، ثبت شده اند. آدرس ورودی همیشه ساعت گذاری شده است و داده ها را تا عملیات بعدی حفظ می کند.

یک رجیستر لوله ای داده های خروجی اختیاری، نرخ های ساعت بالاتر را در هزینه ی چرخه ای اضافی تأخیر مجاز می کند.

در طی یک عملیات نوشتن، خروجی داده می تواند یا داده های ذخیره شده ی قبلی، داده های جدید نوشته شده را فکس کند یا می تواند بدون تغییر بماند.

پهنای داده ی برنامه ریزی

هر پورت می تواند بصورت $32K \times 1,16K \times 2,8K \times 4,4K \times 9$ (or 8), $2K \times 18$ (or 16), $1K \times 36$ (or 32), or 512×72 (or 64) پیکربندی می شود. دو پورت می توانند با نسبت دید مختلف بدون هیچ محدودیتی داشته باشند.

هر بلوک RAM می تواند به دو بلوک مستقل و کامل 18 کیلو بایتی تقسیم شود که هر یک می تواند در نسبت دید مختلف از $16K \times 1$ تا 512×36 باشند.

هر چیزی که پیش از این برای RAM بلوک 36 کیلو بایتی کامل توصیف شد، همچنین در هر یک از RAM های بلوک 18 کیلو بایتی کوچکتر بکار می رود.

تنها در حالت پورت تکی - دوتایی، پهنای داده بیش از 18 بیت (18 کیلو بیت RAM) یا 36 بیت (36 کیلو بیت RAM) می تواند در دسترس باشد. در این حالت یک پورت به عملیات خواندن اختصاص می یابد و دیگری به عملیات نوشتن. در حالت SDP، یک سمت (خواندن یا نوشتن) می تواند متغیر باشد، در حالیکه دیگری در $32/36$ یا $64/72$ ثابت است.

هر دو سمت پورت دوتایی RAM 36 کیلو بیتی می تواند پهنای متغیر داشته باشد. دو بلوک RAM های 36 کیلو بیتی مجاور می توانند به عنوان یک RAM دو پورته $64K \times 1$ بدون هر منطق اضافی پیکربندی شوند.

کشف و اصلاح خطا

هر RAM پهنای بلوک 64 بیتی می تواند 8 بیت رمز همینگ اضافی را ایجاد، ذخیره و استفاده کند و اصلاح خطای بیت مجزا و کشف خطای بیت دوتایی (ECC) در طی فرایند خواندن را انجام دهد. منطق ECC همچنین می تواند در هنگام خواندن یا نوشتن از حافظه های خارجی 64 تا 72 بیت پهنای استفاده شود.

کنترل کننده FIFO

ساخت کنترل کننده FIFO برای ساخت مجزا (همگام) یا عملیات ساعت دوتایی (غیر همزمان یا چند نرخی)، آدرس های اولیه را افزایش می دهد و 4 پرچم تبدالی تهیه می کند: کامل، خالی، تقریباً پر و تقریباً خالی. پرچم های تقریباً پر و تقریباً خالی بطور آزاد قابل برنامه ریزی هستند. مشابه RAM بلوک، پهنای و عمق FIFO قابل برنامه ریزی هستند، اما پورت های خواندن و نوشتن همیشه پهنای برابری دارند. حالت fall-through کلمه ی

اول، اولین کلمه‌ی نوشته شده را در خروجی داده‌ها حتی پیش از اولین عملیات خواندن ارائه می‌کند. پس از اینکه اولین کلمه خوانده شد، تفاوتی بین این حالت و حالت استاندارد وجود ندارد.

پردازشگر سیگنال دیجیتال – قطعه DSP

برخی برجستگی‌های DSP به لحاظ کارکردی (عملکردی) شامل:

- پردازشگر سیگنال (48 بیت) وضوح بالا افزایشده – انباشتگر کامل دوتایی 25×18
 - پیش – افزایشگر صرفه جویی برق (انرژی) برای بهینه سازی کاربردهای فیلتر متقارن
 - ویژگی‌های پیشرفته: اجرای موازی اختیاری، ALU اختیاری و باس‌های اختصاص یافته برای آبشاری کردن اپلیکیشن‌های DSP از بسیاری از افزایشده – افزایشگرهای دوتایی که در قطعه‌های DSP بهترین پیاده‌سازی را دارند، استفاده می‌شوند. دستگاه‌ها در خانواده Zynq-7000 قطعه‌های DSP کم‌قدرت، کاکل سفارشی خیلی اختصاصی شامل سرعت بالا با سایز کوچک در حین حفظ انعطاف پذیری طراحی سیستم دارند.
- هر قطعه‌ی DSP اساساً شامل یک افزایشده‌ی دوتایی 25×18 بیت اختصاصی در یک انباشتگر 48 بیتی است که هر دو قادر به انجام عملیات بالای 741 مگا هرتز هستند. افزایشگر می‌تواند بصورت پویا عبور کند و دو ورودی 48 بیتی می‌توانند یک واحد حساب داده – مضاعف – راهنمای تکی (SIMD) را تغذیه کنند (24 بیت دوتایی اضافی / کسر / انباشته یا 12 بیت چهارتایی اضافه / کسر / انباشته) یا واحد منطق که می‌تواند هر یک از ده کارکرد مختلف منطقی دو عملوند را ایجاد کند.
- DSP شامل یک پیش‌افزاینده اضافی است که نوعاً در فیلترهای متقارن استفاده می‌شود. این پیش‌افزاینده، عملکرد را در طرح‌های متراکم بسته بندی بهبود می‌بخشد و شمارش قطعات DSP را تا 50 درصد کاهش می‌دهد. DSP همچنین شامل یک الگوی پهنای 24 بیت است که می‌تواند برای گرد کردن متقارن یا همگرا استفاده شود. همچنین ردیاب الگو قادر به پیاده سازی کارکردهای منطق پهنای 96 بیت در هنگام استفاده در ارتباط با واحد منطقی می‌باشد.
- قطعه DSP، اجرای موازی گسترده و قابلیت‌های انبساطی فراهم می‌کند که سرعت و کارایی بسیاری از کاربردها را ورای پردازش سیگنال دیجیتال، همچون تعویض کننده‌های باس متحرک عریض، مولدهای آدرس

حافظه، مولتی پلکسرهای باس عریض و فایل های رجیستر I/O حافظه‌ی نقشه برداری افزایش می دهد. انباشتگر همچنین به عنوان شمارنده‌ی بالا / پایین همگام (همزمان) استفاده می شود.

ورودی / خروجی

برخی برجستگی های عملکرد ورودی / خروجی PL شامل:

- تکنولوژی SelectIO™ عملکرد بالا با پشتیبانی برای 1866 Mb/s DDR3
- مخازن انفصال (جدایی) فرکانس بالا درون بسته برای تجمیع سیگنال افزایش یافته
- امیدانس کنترل شده‌ی دیجیتال که می تواند برای کمترین قدرت 3 بار بیان شده، عملیات I/O سرعت بالا استفاده شود.

تعداد پین های I/O بسته به اندازه دستگاه و پکیج متغیر است. هر I/O قابل پیکربندی است و می تواند با تعداد زیادی از استانداردهای I/O تطابق پیدا کند. با استثنای پین های تأمین و پین های تأمین و پین های پیکربندی اختصاصی خیلی کم، همه‌ی دیگر پین های PL، قابلیت های I/O مشابهی دارند که تنها توسط قوانین بانکی خاص محدود می شود.

منابع SelectIO در دستگاه های Zynq-7000 و Zynq-7000S به عنوان گستره‌ی بالا (HR) یا عملکرد بالا (HP) طبقه بندی می شوند. I/O های HR گسترده ترین حد پشتیبانی ولتاژ از 1.2V به 1.8V بهینه سازی شده اند.

همه پین های I/O در بانک‌ها با 50 پین در هر بانک سازماندهی می شود. هر بانک یک صفحه خروجی V_{CC0} متداول دارد، که همچنین بافرهای خروجی خاص را قدرتمند می کند. برخی بافرهای ورودی یکطرفه، نیاز به ولتاژ مرجع (V_{REF}) کاربردی خارجی یا ایجاد شده داخلی دارند. دو پین V_{REF} در هر بانک (به جز بانک پیکربندی 5) وجود دارد. یک بانک مجزا می تواند تنها یک ارزش ولتاژ V_{REF} داشته باشد. خانواده‌ی zynq-7000 انواع مختلف پکیج‌ها برای برآوردن نیازهای کاربر، استفاده می کند، شامل پکیج سیم باند، فاکتور فرم کوچک برای کمترین هزینه‌ها؛ پکیج‌های قراردادی، فلیپ‌چیپ عملکرد بالا، پکیج‌های فلیپ‌چیپ بی دریجه، که

فاکتور فرم کوچکتر را با عملکرد بالا متوازن می‌کنند. در پکیج‌های فلیپ-چیپ، دستگاه سیلیکونی به لایه پکیج برای بهینه‌سازی تجمیع سیگنال تحت سوئیچینگ هم‌زمان شرایط خروجی (SSO) سوار می‌شوند.

ویژگی‌های الکتریکی I/O

خروجی‌های تک پایانه از یک ساختار خروجی فشار-کشش CMOS قراردادی، High را به سمت V_{CC0} یا Low را به سمت زمین می‌کشاند و می‌تواند در یک شرایط high-z قرار بگیرد. طراح سیستم می‌تواند نرخ کشت و قدرت خروجی را مشخص کند. ورودی همیشه فعال است اما معمولاً هنگامی که خروجی فعال است، نادیده گرفته می‌شود. هر پین می‌تواند به صورت اختیاری می‌تواند یک رزیستور (مقاومت کشش پایین ضعیف و کشش بالای ضعیف داشته باشد).

بیشتر جفت‌های پین سیگنال می‌توانند به عنوان جفت‌های ورودی متمایز یا جفت‌های خروجی متمایز پیکربندی شوند. جفت‌های پین ورودی متمایز می‌توانند به صورت اختیاری ما رزیستور داخلی 100Ω خاتمه یابند. دستگاه‌ها در خانواده zynq-7000، استانداردهای متمایز را برای LVDS پشتیبانی می‌کند. HT، RSQS، BLVDS، SSTL، متمایز و HSTL متمایز هر یک از استانداردهای I/O ها، همچون تک‌پایانه و HSTL متمایز همچنین SSTL تک پایانه و SSTL متمایز، استاندارد SSTL، I/O می‌تواند از نرخ داده‌های بالای 1866 Mb/s برای کاربردهای واسط DDR3 پشتیبانی کند.

3. وضعیت امپرانس کنترل شده دیجیتال و ویژگی‌های I/O کم قدرت.

امپرانس کنترل شده دیجیتال 3 وضعیتی (T-DCI) می‌تواند امپرانس درایو خروجی (انقضاء سری‌ها) را کنترل کند یا می‌تواند انقضاء موازی سیگنال ورودی به V_{CC0} یا انقضاء شکاف (تونن) به $V_{CC0}/2$ را فراهم کند. این به کاربران اجازه می‌دهد انقضاء Off_chip برای سیگنال را با استفاده از T-DCI حذف کند. علاوه بر ذخیره‌سازی فضای مورد، انقضاء بطور اتوماتیک وقتی که در حالت خروجی است یا وقتی که قدرت قابل ملاحظه ذخیره‌سازی 3 وضعیتی در مقایسه با انقضاء Off_chip دارد، خاموش می‌شود. IOS همچنین حالت‌های کم‌قدرت برای IBVF و IDELAY برای تهیه ذخیره‌های قدرت بیشتر دارند، به ویژه وقتی که در واسط‌های حافظه پیاده‌سازی استفاده می‌شوند.

منطق I/O

تأخیر ورودی و خروجی‌ها می‌توانند به صورت ترکیبی یا ثبت شده پیکربندی شوند. نرخ داده دوتایی (DDR) توسط همه ورودی‌ها و خروجی‌ها پشتیبانی می‌شود.

هر ورودی‌ای و برخی خروجی‌ها می‌توانند به صورت فردی تا بالای 32 افزایش از 78ps یا 52B را به تأخیر بیندازند. چنین تأخیرهایی به عنوان IDELY و ODELAY پیاده‌سازی می‌شوند. تعداد مراحل تأخیر می‌تواند توسط پیکربندی تنظیم شود و همچنین می‌تواند در حین استفاده افزایش یا کاهش یابد.

OSERDES و ISERDES

بسیاری از کاربردها I/O بیت ترتیبی سرعت بالا را با عملیات موازی درون دستگاه ترکیب می‌کنند. این نیاز به نوبتی‌کننده و غیرنوبتی‌کننده ردون ساختار I/O دارد.

هر پین I/O دارای IOSERDES 8 بیتی (OSERDES و ISIRDES) است، که قادر به اجرای تبدیل‌های ترتیبی به موازی یا موازی به ترتیبی با چهنای برنامه‌ریزی 2، 3، 4، 5، 6، 7 یا 8 بیت است. با آبخاری‌سازی دو IOSERDES از دو پین مجاور (دینالت از I/O متمایز)، تبدیل‌های عرض وسیع‌تر 10 و 14 بیت همچنین می‌توانند پشتیبانی شوند. ISERDES دارای یک حالت نمونه‌برداری ویژه‌ای است که قادر به ریکآوری داده‌های ناهمگام برای کاربردهایی مثل واسط SGMII مبتنی بر LVDS I/O 1/25 گیگابایت بر ثانیه است.

گیرنده‌ها و فرستنده‌های ترتیبی کم قدرت

برخی برجستگی‌های گیرنده‌ها و فرستنده‌های ترتیبی کم قدرت در خانواده zynq-7000 شامل:

- گیرنده‌ها و فرستنده‌های GTX عملکرد بالا، قادر به خط نرخ بیش از 12/5 گیگابایت بر ثانیه با پکیج‌های فلیپ - چپ، بالای 6/6 گیگابایت بر ثانیه بر پکیج‌های فلیپ - چپ دریچه و گیرنده‌ها و فرستنده‌های GTP قادر به بیش از 2/6 گیگابایت بر ثانیه با پکیج‌های باند سیم.
- حالت کم‌قدرت بهینه‌سازی شده برای واسط‌های تراشه به تراشه
- انتقال پیشرفته پیش و پس تأکید و دریافت‌کننده خطی (CTLE) و برابری تصمیم (DFE) شامل برابری تطبیقی برای حاشیه اضافی.

انتقال داده‌های ترتیبی فوق سریع در ماترول‌های اپتیکال، بین ICS در PCB مشابه در روتر یا در مسافت‌های طولانی‌تر، بطور فزاینده مشهود می‌شود و مهم می‌شود تا کارت‌های خط مشتریان را تا 200 گیگابایت بر ثانیه فعال سازد. آن به مدار روی تراشه اختصاصی ویژه و I/O متمایز قادر به مقابله با موارد تجمیع سیگنال در این نرخ‌های داده بالاست.

شمارش فرستنده و گیرنده از 0 تا 16 مدار فرستنده و گیرنده می‌باشد. هر فرستنده و گیرنده ترتیبی یک انتقال‌دهنده و دریافت‌کننده ترکیبی است. فرستنده و گیرنده‌های ترتیبی می‌توانند از ترکیبی از نوسان‌ها و معماری مخزن LC استفاده کنند تا ترکیب ایده‌آل انعطاف‌پذیری و عملکرد به هنگام فعال‌سازی قابلیت حمل IP در میان اعضای خانواده را مجاز کنند.

نرخ کم داده‌ها می‌تواند با استفاده از نمونه‌برداری کامل و منطقی بدست آید. انتقال‌دهنده‌ها و دریافت‌کننده‌های ترتیبی مدارهای مستقلی هستند که از یک معماری پیشرفته PLL برای ضرب کردن ورودی فرکانس مرجع در اعداد برنامه‌ریزی خاص بین 4 و 25 استفاده می‌کنند تا به ساعت داده ترتیبی - بیت تبدیل شوند. هر فرستنده و گیرنده، تعداد زیادی از ویژگی‌ها و پارامترهای قابل توصیف توسط کاربر دارد. همه ی اینها می‌توانند در طی پیکر بندی توصیف شوند و بسیاری می‌توانند در طی عملیات اصلاح شوند.

فرستنده

اساساً یک مبدل موازی به ترتیبی با نسبت تبدیل 16، 20، 32، 40، 63 یا 80 می‌شود. این به طراح اجازه می‌دهد پهنای مسیر داده برای حاشیه زمان بندی در طراحی‌های عملکرد بالا را مبادله کند. این خروجی‌های فرستنده بورد PC را با سیگنال خروجی متمایز کانال مجزا، به حرکت در می‌آورند. TXOUTCLK به صورت مناسب ساعت داده ی ترتیبی را تقسیم می‌کند و می‌تواند به طور مستقیم برای ثبت داده‌های موازی ناشی از منطق داخلی، استفاده شود. داده‌های موازی ورودی از طریق یک FIFU اختیاری تغذیه می‌شود و پشتیبانی سخت افزاری برای طرح‌های رمز گذاری 64B/66B، 8B/10B یا 64B/67B دارد تا تعداد کافی انتقال فراهم کند. سیگنال خروجی بیت - ترتیبی دو پین پکیج را با سیگنال‌های متمایز حرکت می‌دهد. این جفت سیگنال خروجی، نوسان سیگنال برنامه ریزی همچنین پیش و پس تاکید برنامه ریزی برای جبران خسارت‌های

بورد PC و درگیر ویژگی های اتصالات داخلی دارد . برای کانال های کوتاه تر ، نوسان می تواند برای کاهش مصرف قدرت کاهش یابد .

گیرنده

گیرنده اساساً یک مبدل ترتیبی به موازی است ، سیگنال ورودی متمایز است ، سیگنال ورودی متمایز بیت - ترتیبی را به یک جریان موازی از کلمات ، هر 16،20،32،64 و 80 بیت تغییر می دهد . این به طراح اجازه می دهد پهنای مسیر داده داخلی را در مقابل حاشیه زمان بندی منطقی مبادله کند . گیرنده جریان داده متمایز ورودی را می گیرند و آن را از طریق برنامه ریزی خطی و برابر کننده های بازخورد تصمیم را تغذیه می کند . برای جبران بورد PC و دیگر ویژگی های اتصالات داخلی و از ورودی ساعت مرجع برای آغاز تشخیص ساعت استفاده می کند . نیازی برای یک خط ساعت جداگانه نیست . الگوی داده ها را با استفاده از رمز گذاری غیر برگشت به صفر (NRZ) استفاده می کند و به طور اختیاری ، انتقال داده ها را با استفاده از طرح رمز گذاری انتخابی تضمین می کند . داده های موازی سپس به درون PL با استفاده از ساعت RXUSRCLK انتقال می یابد . برای کانال های کوتاه ، فرستنده و گیرنده ، یک حالت قدرت کم ویژه (LPM) برای کاهش قدرت اضافی ارائه می دهد .

سیگنال دهی خارج از باند

سیگنال دهی خارج از باند (OOB) فرستنده و گیرنده ها ، اغلب برای ارسال سیگنال های کم سرعت از فرستنده به گیرنده استفاده می کند . در حالیکه انتقال داده های ترتیبی سرعت بالا فعال نیست . این نوعاً وقتی که لینک در شرایط خاموش قرار دارد یا هنوز آغاز نشده باشد ، انجام می شود. این به نفع PCI Express و کاربرد های SATA/SAS است . بلوک تجمیعی برای طرح های PCI Express برجستگی های بلوک تجمیعی برای PCI Express شامل :

- سازگاری با مبنای PCI Express ویژه سازی 2.1 با قابلیت نقطه نهایی پورت Root
- ژن پشتیبانی 1(2.5 گیگابایت بر ثانیه) و ژن 2 (5 گیگابایت بر ثانیه)
- گزینه های پیکربندی پیشرفته ، گزارش خطای پیشرفته (AER) و پایانه به پایانه CRC (ECRC) گزارش خطای پیشرفته و ویژگی های (ECRC)

همه ی دستگاه ها با فرستنده و گیرنده ها در خانواده شامل یک بلوک تجمیعی برای تکنولوژی PCI Express است که می توان به عنوان یک نقطه نهایی یا پورت ROOT ، سازگار با مبنای ویژه سازی PCI Express ، ویرایش 2.1 ، پیکر بندی می شود . پورت ریشه (ROOT) می تواند برای ساختن پایه ای برای ریشه ی پیچیده ی سازگار استفاده شود تا ارتباطات سفارشی بین Zyng – 7000APSOC و دیگر دستگاه ها از طریق پروتکل PCI Express را ایجاد کند به دستگاه های نقطه نهایی ASSP بچسبد ، همچون کنترل کننده های اترنت یا کانال فیبر HBAS در همه ی Soc های برنامه ریزی Zyng - 70000

این بلوک به طور زیادی در نیازهای طراحی قابل پیکر بندی است و می تواند مسیره های 1،2،4،8 در 2/5 گیگابایت بر ثانیه و نرخ داده های 5 گیگابایت بر ثانیه را عملی کند . کارکردهای عملکرد بالا ، تکنیک های میانگیری پیشرفته بلوک ، سایز ظرفیت ترابری حداکثری انعطاف پذیر از بالای 1024 بایت را ارائه می دهند. بلوک تجمیعی در فرستنده گیرنده های سرعت بالا برای اتصال ترتیبی به RAM های بلوک برای میانگیری داده ها ، واسطه می شوند . این عناصر در ترکیب ، لایه ی فیزیکی ، لایه لینک داده ها و لایه ی مبادله ی پروتکل PCL Express را پیاده سازی می کنند .

xilinx یک لفاف بسته بندی IP CORE™ logi. سهل استفاده قابل پیکربندی کسب وزن فراهم می کند که بلوک های ساختمانی مختلف (بلوک های تجمیعی برای PCI Express گیرنده و فرستنده RAM بلوک و منابع ناسازگار) را درون نقطه ی نهایی یا راه حل پورت ویژه ، مرتبط می کند . طراح سیستم کنترل بر بسیاری از پارامترهای پیکربندی دارد : پهنای مسیر ، اندازه حداکثر ظرفیت ترابری ، سرعت های واسط PL

فرکانس ساعت مرجع و رمز گشایی و فیلترینگ ثبت آدرس

Xilinx. یک لفاف بسته بندی برای بلوک تجمیعی ارائه می دهد AXI14 (نقشه ی حافظه) AXI 14 (نقشه ی حافظه) برای جریان طراحی Studio / EDX پلت فرم Xilinx و طرح های پایه ای پردازشگر MicroBlaze™ طراحی شده است .

اسناد و اطلاعات بیشتر در راه حل ها برای طراحی های PCI Express می تواند در وب سایت www.xilinx.com یافت شود .

XADC (مبدل آنالوگ به دیجیتال)

برجستگی های معماری XADC شامل :

- مبدل های آنالوگ به دیجیتال (ADCS) Msps (ADCS) دو تایی 12 بیتی
 - بالای 17 ورودی آنالوگ قابل پیکربندی توسط کاربر و انعطاف پذیر
 - گزینه ی مرجع خارجی یا بر روی تراشه
 - دسترسی TAG مداوم به سنجش های ADC
- همه ی ابزارها در خانواده Zynq-70000، یک واسطه آنالوگ انعطاف پذیر را که XADC نامیده می شود ،
تجمیع می کنند . XADC وقتی که با قابلیت منطقی برنامه ریزی می شود ، می تواند طیف وسیعی از فراگیری
داده ها و نیازهای نظارتی را مخاطب قرار دهد . این ترکیب منحصر به فرد از منطق آنالوگ و برنامه ریزی ،
سیگنال ترتیبی آنالوگ نامیده می شود . برای اطلاعات بیشتر به آدرس www.xilinx.com/ams مراجعه
کنید .

XADC شامل دو MSPSDSS 12 بیتی با مسیر جدا و نگهدارنده ی تقویت کننده یک افزاینده آنالوگ (بالای 17 کانال ورودی آنالوگ خارجی مورد پشتیبانی) و سنسورهای تامین و گرمایی روی تراشه ، می باشد.
دو ADS می توانند در دو کانال آنالوگ خروجی – ورودی نمونه همزمان پیکربندی شوند . تقویت کننده های
مسیر و نگهدارنده از طیفی از انواع سیگنال های ورودی آنالوگ شامل تک قطبی ، دو قطبی و متمایز پشتیبانی
می کنند . ورودی های آنالوگ می توانند از پهنای باند سیگنال حداقل 500 کیلو هرتز در نرخ نمونه ی 1
msps پشتیبانی کنند . پشتیبانی از پهنای باندهای آنالوگ بالاتر با استفاده از حالت افزاینده آنالوگ های
خارجی با ورودی آنالوگ اختصاصی ممکن است .

XADC به طور انتخابی از مدار رفرنس روی تراشه (+/-1) استفاده می کند ، در نتیجه نیاز برای اجزای فعال
خارجی برای نظارت اصلی دما بر روی تراشه ی و ریل های تامین نیرو را حذف می کند . برای رسیدن به
عملکرد 12 بیت ADSC ، یک رفرنس IC خارجی 1/25 ولت توصیه می شود.

اگر XADC در یک طرح به عنوان نمونه قرار نگیرد ، سپس به صورت پیش فرض ریل خروجی های همه
سنسورهای بر روی تراشه را دیجیتالی می کند . بیشترین نتایج سنجش اخیر (همراه با خواندن حداکثر و حداقل
) در ثبت های اختصاصی برای دسترسی به هر زمان بوریسیه واسطه های JTAG ، ذخیره شده اند . آستانه های

هشدار توصیف شده توسط کاربر می تواند به صورت اتوماتیک رویدادهای فوق دما و تغییرات تهیه نیروی غیر قابل پذیرش را نشان دهد. یک محدوده ی مشخص شده توسط کاربر (برای مثال 100درجه سانتیگراد) می تواند برای آغاز خاموشی اتوماتیک استفاده شود.

کارکردهای سطح سیستم

چندین کارکرد PS و PL را اندازه گیری می کنند که شامل موارد زیر هستند :

- مدیریت ریست (Reset)
- مدیریت ساعت
- پیکربندی دستگاه
- پشتیبانی اشکال زدایی سخت افزاری و نرم افزاری
- مدیریت قدرت

مدیریت ریست (Reset)

کارکرد مدیریت ریست ، توانایی ریست کل دستگاه ، یا واحد های مجزای درون آن را فراهم می کند . PS از این

کارکردها و سیگنال های پشتیبانی می کند :

- سیگنال ریست روشن کردن خارجی و داخلی
- ریست گرم
- ریست تایمر نگهبان
- ریست های کاربر در PL
- نرم افزار ، تایمر نگهبان ، یا ریست های تهیه شده JTAG
- ریست تخلف امنیت (ریست خاموش کردن)

مدیریت ساعت

در خانواده ی Zyng-7000 ، PS با سه لوپ فاز قفل شده (PIIs) تجهیز شده است ، و انعطاف پذیری را در پیکر

بندی قلمروهای ساعت درون PS فراهم می کند . سه قلمرو مورد نظر ساعت اولیه درون PS وجود دارد. اینها

شامل APV ، کنترل کننده ی DDR و جانبی های (IOP) است . فرکانس های همه ی این قلمروها می تواند به طور مستقل تحت کنترل نرم افزاری پیکر بندی شود.

بوت PS و پیکربندی دستگاه

دستگاه های Zynq-7000 و Zynq-7000S از یک فرایند پردازش بوت چند مرحله ای استفاده می کنند که از بوت ایمن و غیر ایمن پشتیبانی می کند. PS سرور فرایند پیکربندی و بوت است. برای یک بوت ایمن ، PL باید روشن شود تا استفاده از بلوک ایمن واقع درون PL، که رمز گشایی / اهراز هویت 256 بیت AES و SHA را فراهم می کند. پس از ریست، پین حالت دستگاه به عنوان خوانده شده برای تعیین دستگاه بوت اولیه مورد استفاده قرار گیرد: NOR، NAND، SPI چهارگانه ، SD، و یا JTAG. JTAG تنها می تواند به عنوان یک منبع بوت غیر امن استفاده می شود و برای اهداف اشکالزدایی در نظر گرفته شده است. یکی از CPU های Cortex-A9 ARM کد را بر روی تراشه ی ROM و کپی های مرحله ی اول بارگذاری (FSBL) از دستگاه بوت در OCM اجرا می کند و پردازشگر FSBL را اجرا می کند. Xilinx نمونه هایی از FSBL را تامین می کند یا کاربران خود آن را ایجاد می کنند. FSBL بوت PS را آغاز می کند و PL را پیکربندی می کند. FSBL بوت PS را آغاز می کند و می تواند بار و پیکربندی PL، و یا پیکربندی PL را به مرحله بعد به تعویق بیندازد

FSBL معمولاً یک نرم افزار کاربر و یا اختیاری دوم بارگیری مرحله بوت (SSBL) مانند U-بوت را بارگیری می کند.

کاربران از Xilinx، SSBL یا شخص ثالث را بدست می آورند، یا آنها می توانند SSBL خود را ایجاد کنند. SSBL فرایند بوت توسط کد بارگذاری از هر یک از دستگاه های بوت اولیه و یا از منابع دیگر مانند USB، اترنت، و غیره را ادامه می دهد. اگر FSBL نتواند PL را پیکربندی کند SSBL می تواند این کار را انجام دهد ، و یا دوباره پیکربندی می تواند به مرحله بعد به تعویق بیفتد. کنترل رابط حافظه ثابت (NAND ، NOR، یا SPI چهارتایی) با استفاده از تنظیمات پیش فرض پیکربندی شده است. به منظور بهبود سرعت پیکربندی دستگاه، این تنظیمات را می توان با اطلاعات ارائه شده در هدر تصویر بوت

تغییر اصلاح کرد.

تصویر ROM بوت، پس از بوت کاربر قابل خواندن و یا بازخوانی نیست.

پشتیبانی اشکال زدایی سخت افزار و نرم افزار

سیستم اشکال زدایی مورد استفاده در خانواده Zynq-7000 بر اساس معماری ARM CoreSight بنا نهاده شده است. این سیستم از اجزای ARM CoreSight از جمله یک بافر تعبیه شده ردیابی (ETB)، یک ماکروسل برنامه ردیابی (PTM)، و یک ماکروسل اثری ابزار (ITM) استفاده می کند. این راهنمای ویژگی های مسیریابی همچنین نقاط شکست و محرک سخت افزار را فعال می سازد. منطق برنامه ریزی می تواند با تحلیلگر منطق تجمیعی اشکال زدایی شود.

پورت های اشکال زدایی

دو پورت JTAG موجود هستند و می توانند با یکدیگر زنجیره شوند یا بطور جداگانه استفاده شوند. وقتی با یکدیگر زنجیره می شوند، یک پورت مجزا برای دانلودهای کد پردازشگر ARM و عملیات کنترل زمان اجرا، پیکربندی PL، و اشکال زدایی PL با نرم افزار تجزیه و تحلیل منطقی تعبیه شده ChipScope™ اشکال زدایی می شود. این ابزارهایی همچون کیت توسعه ی نرم افزار Xilinx (SDK) و تحلیلگر ChipScope Pro را برای سهم کردن یک کابل دانلود مجزا از Xilinx فعال می سازد. وقتی یک زنجیره ی JTAG تقسیم می شود، یک پورت برای پشتیبانی PS استفاده می شود، از جمله دسترسی مستقیم به رابط ARM DAP. این رابط CoreSight امکان استفاده از اشکال زدایی و توسعه نرم افزار ابزار ARM سازگار مانند توسعه استودیو 5 (DS-5™) را فعال می سازد.

پورت JTAG دیگر پس از آن می تواند توسط ابزار Xilinx برای FPGA دسترسی به PL از جمله دانلود پیکربندی و اشکال زدایی بیت استریم PL با تجزیه و تحلیل منطقی یکپارچه مورد استفاده قرار گیرد. در این حالت، کاربران می توانند به شیوه ای مشابه FPGA مستقل برای دانلود، و اشکال زدایی PL اقدام کنند.

مدیریت قدرت

PS و PL از صفحه های قدرت مختلف قرار دارند. این PS و PL را قادر می سازد به ریل های قدرت مستقل، هریک با پین های منبع تغذیه خودش، متصل شود. اگر حالت خاموش PL مورد نیاز باشد، کاربر می تواند

ریلهای قدرت PS و PL را با یکدیگر متصل کند. وقتی که PS در حالت خاموش است، PL را در شرایط ریست دائمی نگه می‌دارد. کنترل قدرت برای PL از طریق پین‌های خارجی در PL انجام می‌شود. مدار مدیریت قدرت خارجی می‌تواند برای کنترل قدرت استفاده شود، مدار مدیریت قدرت خارجی می‌تواند توسط نرم‌افزار و PS GPIO کنترل شود.

حالت‌های قدرت

این جا کمی از حالت‌های ذخیره‌سازی قدرت ارائه شده توسط خانواده zynq-7000 هستند:

- خاموشی منطبق برنامه (اسلیپ)
- PS و PL در صفحه‌های قدرت مختلف قرار می‌گیرند و PS می‌تواند با PL خاموش شده و اجراء شود. به دلایل امنیتی، PL نمی‌تواند پیش از B روشن شود. PL نیاز به پیکربندی مجدد س از هربار روشن کردن دارد. کاربر باید زمان پیکربندی PL را با استفاده از حالت ذخیره‌سازی قدرت در نظر بگیرد.

کنترل ساعت PS

- PS می‌تواند در نرخ ساعت کاهش یافته تا 30 مگاهرتز با استفاده از PLLS داخلی کاهش یابد. نرخ ساعت می‌تواند بطور پویا تغییر کند. برای تغییر پویای ساعت، کاربر باید رجیستر کنترل سیستم را باز کند تا به رجیستر کنترل ساعت PS یا به رجیستر کنترل تولید ساعت، دسترسی پیدا کند.

حالت پردازشگر مجرا

- در این حالت، CPU دوم Cortex-A9 با استفاده از راهگاهی ساعت خاموش می‌شود و CPU اول کاملاً عملیاتی نگه داشته می‌شود.

نمونه‌های قدرت

قدرت برای دستگاه‌هایی در خانواده zynq-7000 بسته به کاربرد منابع PL و فرکانس PL و PS متغیر است. برای تخمین قدرت، از تخمین زنده قدرت Xilinx (xpe) در وبسایت xilinx.com استفاده کنید.

نقشه حافظه

دستگاه‌ها در خانواده zynq-7000 از یک فضای آدرس 4 گیگابایتی سازماندهی شده پشتیبانی می‌کنند، آنطور که در جدول 6 توصیف شده است.

جدول 6- نقشه حافظه

Start Address	Size (MB)	Description
0x0000_0000	1,024	DDR DRAM and on-chip memory (OCM)
0x4000_0000	1,024	PL AXI slave port #0
0x8000_0000	1,024	PL AXI slave port #1
0xE000_0000	256	IOP devices
0xF000_0000	128	Reserved
0xF800_0000	32	Programmable registers access via AMBA APB bus
0xFA00_0000	32	Reserved
0xFC00_0000	64 MB - 256 KB	Quad-SPI linear address base address (except top 256 KB which is in OCM), 64 MB reserved, only 32 MB is currently supported
0xFFFC_0000	256 KB	OCM when mapped to high address space

اطلاعات سفارشی و سفارش اطلاعات

جدول 7- درجه‌های سرعت و دمای موجود در دستگاه‌های مختلف را نشان می‌دهد. برخی دستگاه‌ها ممکن است در هر درجه سرعت و دما در دسترس نباشند.

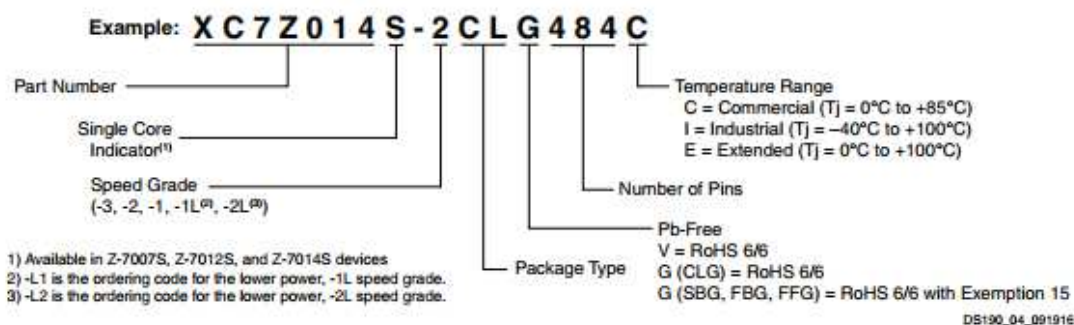
جدول 7- محدوده دما و درجه سرعت

Device	Speed Grade and Junction Temperature Range		
	Commercial (C) 0°C to +85°C	Extended (E) 0°C to +100°C	Industrial (I) -40°C to +100°C
XC7Z007S XC7Z012S XC7Z014S	-1	-2	-1, -2
XC7Z010 XC7Z015 XC7Z020	-1	-2, -3	-1, -2, -1L
XC7Z030 XC7Z035 XC7Z045	-1	-2, -3	-1, -2, -2L
XC7Z100	-1	-2	-1, -2, -2L

اطلاعات سفارشی نشان داده شده در شکل 4، در همه پکیج‌ها شامل بدون pb بکار می‌رود.

برخی اطلاعات این سند از قبل انتشار یافته، دسترسی ترکیب سیلیکونی را فراهم می‌کند با نمایندگی فروش xilinx خود برای اطلاعات بیشتر در مورد برنامه‌های دسترسی اولیه خانواده zynq-7000 تماس بگیرید.

شکل 4- اطلاعات سفارشی



تاریخچه ویرایش‌ها

جدول زیر تاریخچه ویرایش‌ها برای این سند را نشان می‌دهد.

Date	Version	Description of Revisions
03/23/12	1.0	Initial Xilinx release.
05/08/12	1.1	Updated Table 2 and Table 4.
06/11/12	1.1.1	Minor typographical edits.
08/21/12	1.2	Updated ARM Cortex-A9 Based Application Processor Unit (APU), I/O Peripherals and Interfaces, Two 12-Bit Analog-to-Digital Converters, Table 1, Table 2, Application Processor Unit (APU), I/O Peripherals (IOP), PS External Interfaces, MIO Overview, Table 4, Programmable Logic (PL) Description, and PS Boot and Device Configuration.
03/15/13	1.3	Added XC7Z100 device information to Table 1, Table 2 (including FFG1156 package), and Application Processor Unit (APU). Updated Table 4 and Clock Management. Added Table 5. Updated Block RAM. Removed Table 5 (Power Examples).
08/06/13	1.4	Updated the processor frequencies in Table 1 and Application Processor Unit (APU). Updated Table 4.
09/03/13	1.5	Added XC7Z015 device information to Table 1, Table 2 (and updated notes), Table 3 (including CLG485), Table 5, and Application Processor Unit (APU). Added the SBG485 package for the XC7Z030 device in Table 2. Updated Low-Power Serial Transceivers, XADC (Analog-to-Digital Converter), and Regional Clocks.
12/02/13	1.6	Updated Table 2.
10/08/14	1.7	Added XC7Z035 device to Table 1, Table 2, Table 3, and Table 5. Updated Application Processor Unit (APU), I/O Peripherals (IOP), Clock Management, and Figure 4.
05/21/15	1.8	Changed document classification to Product Specification from Preliminary Product Specification. Updated Table 1, Table 3, Table 5, and Figure 4.
01/20/16	1.9	Updated Table 2, Table 3, and Regional Clocks.
09/27/16	1.10	Updated Table 1, Table 2, Figure 1, Application Processor Unit (APU), Table 5, Block RAM, Figure 4, and Automotive Applications Disclaimer.

1- واحد پردازشگر کاربردی (APU) مبتنی بر Cortex-A9 بروز رسانی شده، جانبی‌های واسط‌های I/O در مدل 12 بیت آنالوگ دیجیتال، جدول 1، جدول 2، واحد پردازشگر کاربردی (APU)، جانبی‌های I/O (IOS)، واسط‌های خارجی PS، بررسی MIO، جدول 4، توصیف منطق برنامه‌ریزی (PL)، و مدت PS و پیکربندی دستگاه

2. اطلاعات دستگاه Xc7z100 اضافی در جدول 1، جدول 2، (شامل پکیج FFG 1156) و واحد پردازشگر کاربردی (APU). جدول بروز شده 4 و مدیریت ساعت. جدول 5 اضافه شده. RAM بلوک آپدیت شده، جدول حذف شده 5 (نمونه‌های قدرت)

- 3- آپدیت فرکانس‌های پردازشگر در جدول 1 واحد پردازشگر کاربردی APU جدول آپدیت شده 4.
- 4- جدول 2 (و یادداشت‌های آپدیت شده) جدول 3 شامل (CLG 485) ، جدول 5 و واحد پردازش کاربردی (APU) . اضافی پکیج SBG 485 برای دستگاه XC7Z030 در جدول 2. فرستنده‌ها و گیرنده‌های ترتیبی کم قدرت آپدیت شده، XADC (جدول آنالوگ دیجیتال و ساعت منطقه‌ای)
- 5- دستگاه XC7Z035 اضافی در جدول 1، 2، 3، 4، 5. واحدهای پردازشگر کاربردی (APU) آپدیت شده، جانبی‌های I/O (IOP) ، مدیریت ساعت و شکل 4.
- 6- طبقه‌بندی سند تغییر یافته در ویژه‌سازی محصول از ویژه‌سازی محصول اولیه. جدول آپدیت شده 1-2-3 و شکل 4.
- 7- جدول آپدیت شده 1 و 2 شکل 1 ، واحد پردازشگر کاربردی (APU) جدول 5، بلوک RAM، شکل 4، سلب مسئولیت‌کننده‌های کاربردی خودکار



این مقاله، از سری مقالات ترجمه شده رایگان سایت ترجمه فا میباشد که با فرمت PDF در اختیار شما عزیزان قرار گرفته است. در صورت تمایل میتوانید با کلیک بر روی دکمه های زیر از سایر مقالات نیز استفاده نمایید:

لیست مقالات ترجمه شده ✓

لیست مقالات ترجمه شده رایگان ✓

لیست جدیدترین مقالات انگلیسی ISI ✓

سایت ترجمه فا ؛ مرجع جدیدترین مقالات ترجمه شده از نشریات معتبر خارجی