



ارائه شده توسط:

سایت ترجمه فا

مرجع جدیدترین مقالات ترجمه شده

از نشریات معتبر

طرح مدار لچ متحمل به SEU بر اساس DICE عایق شده و المنت های کم

مصرف

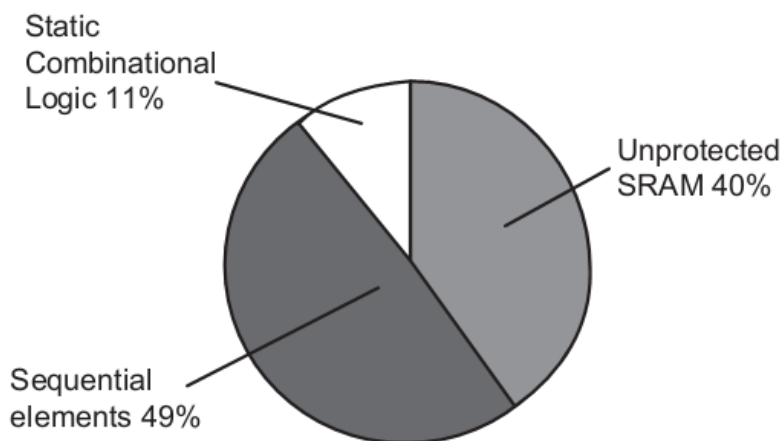
تداخل خطای نرم یک چالش طراحی مهم و اساسی در طراحی مدار های پیشرفته CMOS VLSI محسوب می شود. در این مقاله ما یک طرح (Iso-DICE) لچ DICE عایق ساز SEU را با ترکیب روش های عایق سازی خطای نرم و روش لچ داخلی که در طراحی DICE استفاده می شود را پیشنهاد کردیم. برای بهبود تحمل SEU طرح DICE، ما جفت گره های ذخیره ای دارای توانایی ریکاوری SEU در هر یک از جفت های دیگر را حفظ کرده و از گره های ذخیره ای که تحت تاثیر یک دیگر قرار می گیرند استفاده کردیم. برای کاهش تاثیر تداخلی بین جفت گره های ذخیره ای دوگانه، ما از مکانیسم عایق سازی برای افزایش مقاومت در برابر برخورد ذرات با انرژی بالا به جای روش طراحی هم بند اولیه استفاده کردیم. از طریق عایق سازی گره های خروجی و گره های مدار داخلی، لچ های Iso-DICE می توانند تحمل زیادی به SEU در مقایسه با طرح DICE داشته باشند. در مقایسه با طرح FERST که دارای تحمل مشابه به SEU می باشد، لچ Iso-DICE پیشنهادی می تواند بیش از 50 درصد برق را کم تر از 45 درصد محصول فناوری TSMC 90 nm CMOS مصرف کند. تحت مدل 22 نانومتر PTM، لچ Iso-DICE پیشنهادی می تواند با 11 محصول تاخیر برقی 11 درصدی در مقایسه با طرح FERST که تحمل مشابه به SEU است عمل کند.

مقدمه:

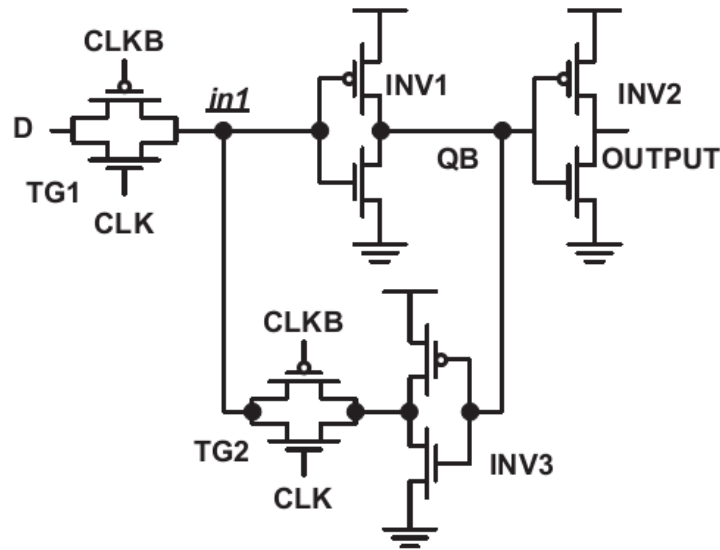
با پیشرفت فرآیند های نیمه هادی (رسانا)، مدارهای دیجیتال کم تر در معرض سر و صدای ناشی از کاهش کار ولتاژ و تغذیه آن و افزایش تراکم ترانزیستور قرار گرفته اند. در محیط VLSI پیشرفته، مدارهای به راحتی تحت تاثیر ذرات آلفا قرار، پرتوهای کیهانی و ذرات گرما به علت وجود خطاها قرار می گیرند، که تمام خطاها به صورت نرم خلاصه می شوند. پیشرفت در مقیاس نانو تکنولوژی CMOS امکان افزایش تراکم مدار و بهبود عملکرد در عین کاهش هزینه را خواهد داد. با این حال، پیشرفت در کاهش اندازه ترانزیستور و ولتاژ عامل اصلیکاهش در ظرفیت های پارازیتی گره های داخلی مدار می باشد که منجر به کاهش بار بحرانی

(بار بحرانی کنترل شده حداقل هزینه مورد نیاز برای حفظ منطق است) خواهد شد. در نتیجه، قابلیت اطمینان از مدارات در برابر خطاهای نرم‌پایین آمده و ذرات آلفا با انرژی پایین و یا پرتوهای کیهانی به راحتی می‌توانند در گره‌های داخلی مدار تداخل ایجاد کنند که در نتیجه در ولتاژ لحظه‌ای خطا به طور موقت پدیدار می‌شوند. خطاهای نرم را می‌توان به دو دسته با توجه به مکان‌های مختلف وقوع طبقه‌بندی کرد: (1) رویداد گذرا منفرد (مجموعه) که در مدارهای ترکیبی (مرکب) رخ می‌دهد، و (2) آشفتگی‌های تداخل رویداد منفرد (SEUS) که در المنت‌های ذخیره‌کننده، چفت یا گره ثبت‌کننده زمانی که وضعیت منطق مدارات به طور نامطلوبی تغییر می‌کند رخ می‌دهد. با توجه به این که WOV (ویندوز پنجره آسیب‌پذیری) مدارهای ترتیبی طولانی‌تر از مدارهای ترکیبی است مدارهای ترتیبی معمولاً مستعد حملات ذرات بیشتری نسبت به مدارهای ترکیبی می‌باشند.

همان‌طور که در شکل 1 نشان داده شده است، SEU عامل اصلی وقوع 90٪ خطای نرم در مدارهای VLSI مدرن است. علاوه بر این، WOVS مدارات لچ است بسیار طولانی‌تر از مدارهای flip-flop می‌باشد. بنابراین، بسیاری از تحقیقات اخیر بر طراحی و ایجاد طرح‌هایی برای لچ‌هایی که تنها با عملکرد بیشتر و تحمل بالای خطای نرم بلکه با مصرف برق پایین‌تر متمرکز شده‌اند.



شکل 1: تجزیه و تحلیل آماری توزیع وقوع خطای نرم در مدارهای مدرن VLSI



شکل 2: لچ

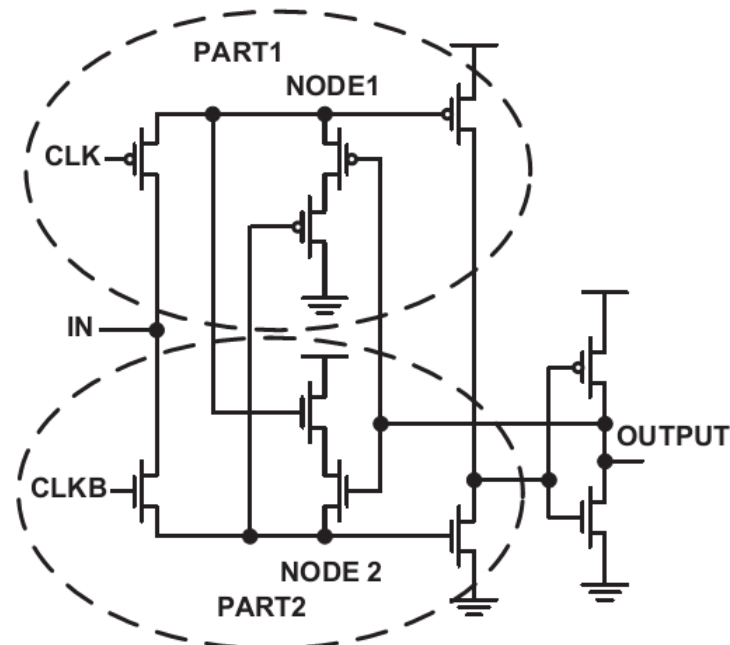
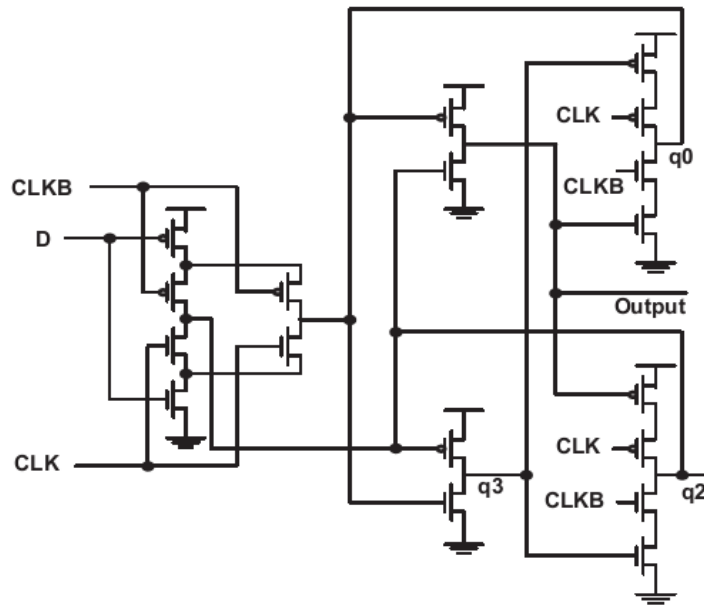


Fig. 3. SEU-A latch [12].

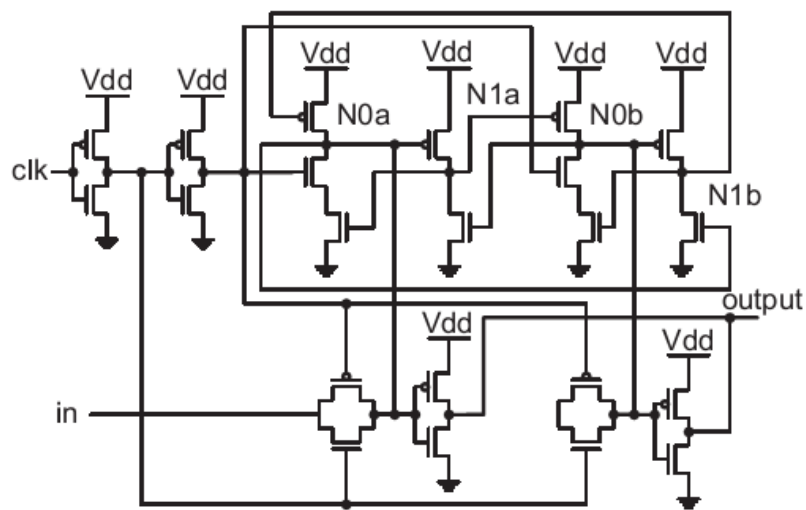
شکل 3: لچ SEU-A

در طرح های موجود در سورس ها مختلف، روش های گوناگونی برای افزایش قابلیت تحمل SEU در مدارهای گزارش شده اند. مانند (1): مدارهای در هم بافته شده با یک مسیر بازخورد، مانند دو InterLock در ذخیره سازی همراه [1] (DICE)، (2) تقویتخازن معادل برای آن دسته از گره های داخلی که دارای بار بحرانی کم می باشند مانند اشمیت تریگر لچ (ST) 3- افزایش تعداد گره های با پتانسیل الکتریکی یکسان نظیر طرح SEU-A 4- لچ های قادر به فیلتر سازی و ماسک (پوشش دهی کردن) SEUs ها نظیر لچ های مقاوم به SEUs با

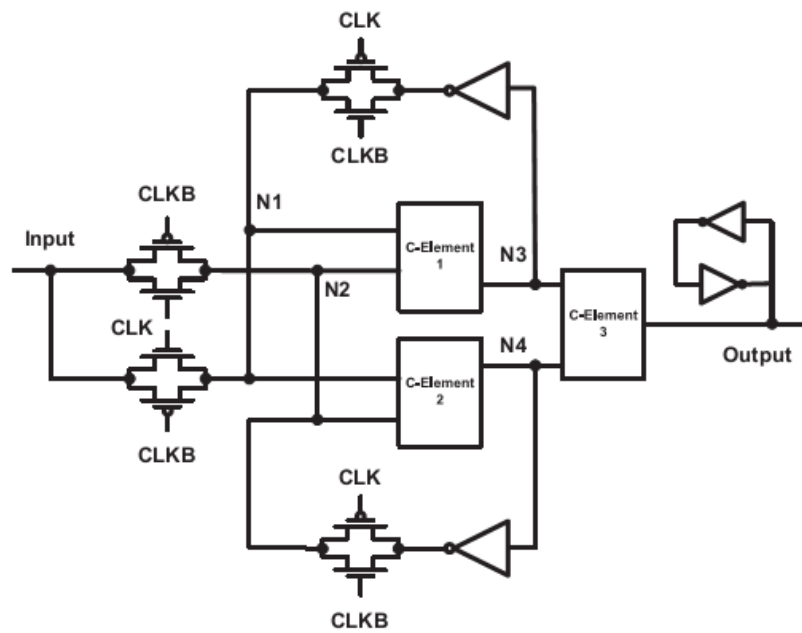
بازخورد زایی و 5- ایجاد مدار های زائد و اضافی همرا با مدار های انتخاب گرا برای تعیین خروجی های معتبر نظیر TMR.



شکل 4: لچ DICE



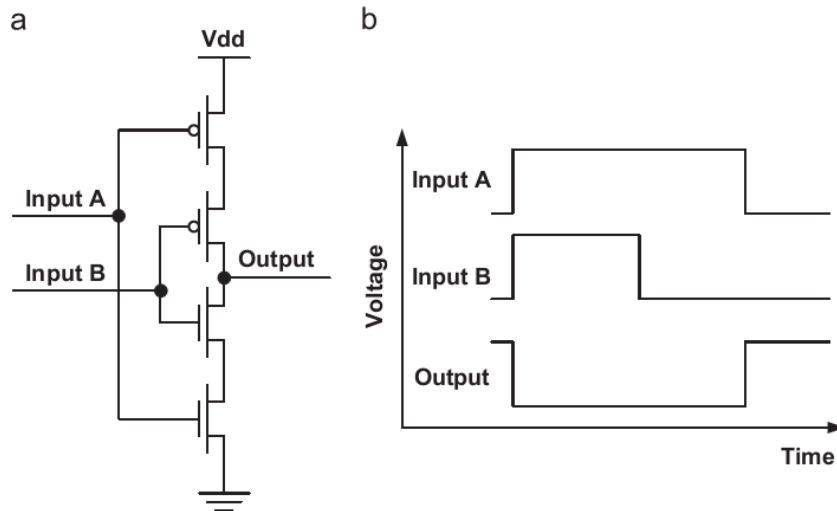
شکل 5: لچ Inter-DICE



شکل 6: لچ FERST

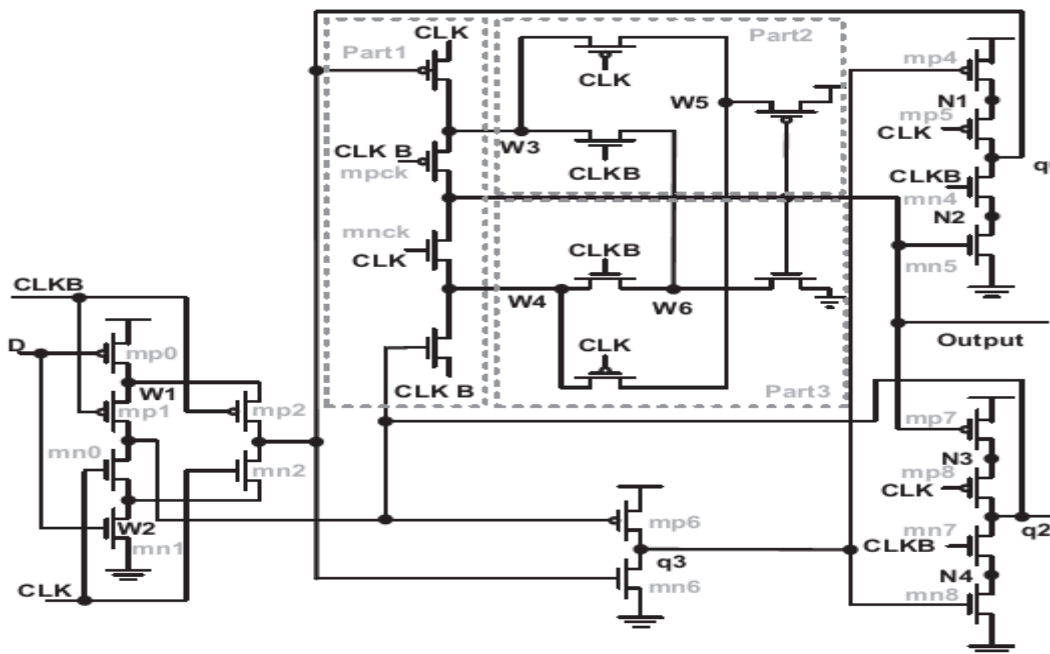
در این میان روش های طراحی DICE برای افزایش تحمل SEU وجود دارند. به این ترتیب می توان مدار هایی با تحمل SEU خوب با کمترین هزینه سخت افزار حاصل کرد و طرح FERST حتی می تواند تحمل SEU برتری فراهم کند. همچنین می توان توان مقاومت به SEU برتر و تقریباً کامل را بالا برد با این حال، بنابراین، در این مقاله ما یک لچ SEU با تحمل برتر SEU تحمل نظیر FERST ارائه کردیم .

طرح پیشنهادی ما این است که مزیت اصلیساختار DICE سادگی آن است. به منظور افزایش تحمل بیشتر SEU با استناد به DICE، ما یک روش جداسازی و ایزولاسیون است برای پوشش نرم و خطا بین DICE مدار داخلی و خروجیگره ارائه کردیم. گره ایزو DICE می تواند هم DICE و هم قابلیت پوشش SEUS های متقابل همراه را داشته باشد. و در عین حال قدرت ذخیره سازی در گره ها را به طور جدا گانه دارد. بنابراین، ایزو DICE دارای تحمل بالایی به خطای نرم و قدرت تاخیر محصول کم تر می باشد در حالی که برای جلوگیری از گره خروجی که تحت تاثیر خطاهای نرم گره های داخلی از مدار لچ قرار می گیرند مناسب است.

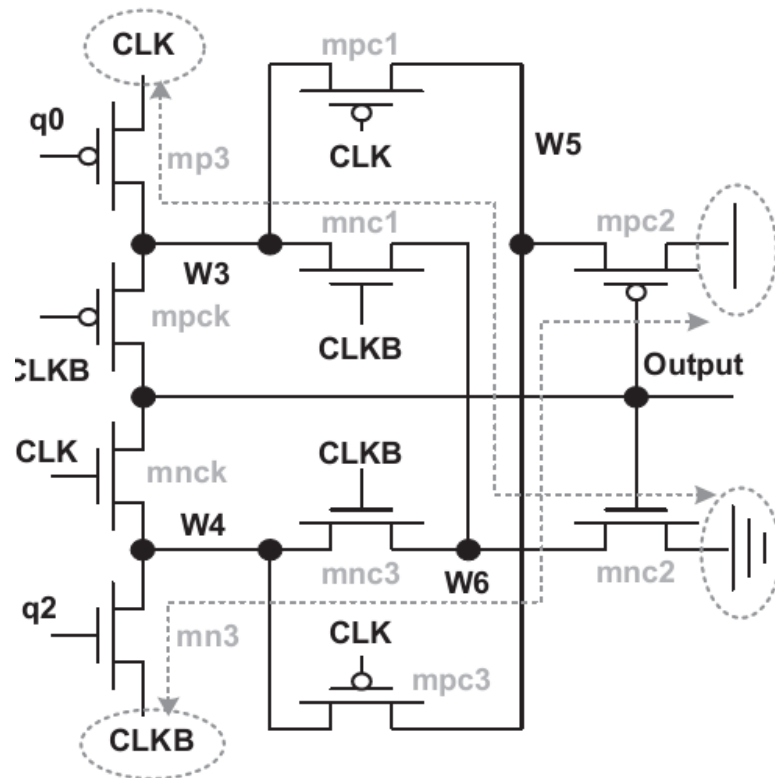


شکل 7: A: المنت CB: ورودی و خروجی المنت C

به منظور ارزیابی قابلیت تحمل پذیری SEU در هر یک از لچ ها، برخی آزمایشات شبیه سازی توسط HSPICE با مدل فناوری TSMC 90 nm CMOS و مدل فناوری برآوردی و پیش بینی 32-45-65 و 22 نانومتر انجام شد. به منظور تایید ثبات و پیوستگی نتایج مقایسات، ما از طیف وسیعی از مدار های شاهد و معیار استفاده کرده و آن ها را از نظر برخورد ذرات با انرژی های متفاوت برای ارزیابی عملکرد شبیه سازی کردیم.

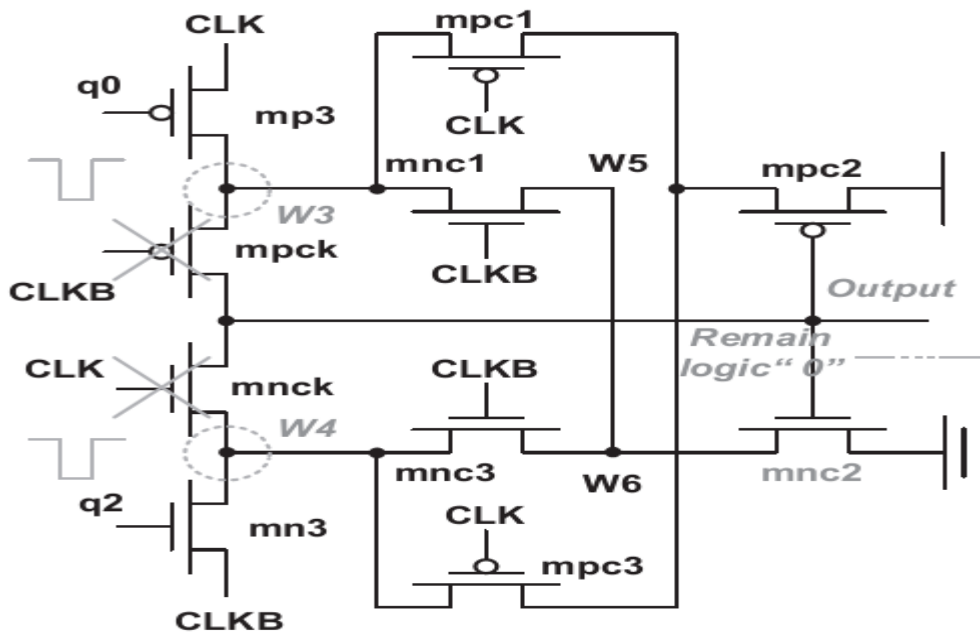


شکل 8: لچ پیشنهادی Iso-DICE



شکل 9: مسیر جریان ثابت را می توان حذف کرد و تداخل SEU می تواند در حالت لچینگ لچ Iso-DICE

پیشنهادی



شکل 10: تحمل چند SEU در لچ Iso-DICE پیشنهادی

ادامه این مقاله به صورت ذیل سازمان دهی شده است. بخش 2 به طور مختصر مقدمه ای در رابطه با طرح های قبلی در اختیار می گذارد. بخش 3 لچ های تحمل پذیر SEU پیشنهادی را توصیف کرده و عملکرد مدار آن و

مکانیسم ایزولاسیون SEU آن را تشریح می کند. بخش 4 نتایج مقایسات عملکرد را نشان می دهد. در نهایت در بخش 5 نتیجه و جمع بندی ارائه شده است.

2- بررسی سورها

شکل 2 یک لچ یا گره کلاسیک را با مسیرهای بازخورد برای حفظ مقدار لاجیک ذخیره شده نشان می دهد. مسیر انتقال سیگنال تغذیه کننده پیشرونده متشکل از یک گیت انتقال و دو اینورتر (مبدل و یا متناوب ساز) می باشد. مسیر بازخورد ذخیره ای متشکل از یک گیت انتقال دهنده و یک مبدل است. وقتی که سیگنال clk برابر با 1 است، $TG1$ روشن شده و $TG2$ خاموش می شود. مقدار ورودی به طور مستقیم از D به Q منتشر می شود. وقتی که سیگنال clk برابر با صفر است، $TG1$ خاموش و $TG2$ روشن می شود. از این رو حالت لاجیک ذخیره ای ثابت باقی می ماند. با این حال وقتی، مدار در حالت لچه می باشد، ولتاژ عبوری ناشی از ذرات یونیزه کننده با انرژی بالا موجب ایجاد SEU می شود. گروه درونی در 1 دارای حداقل بار بحرانی یوده و گره ای است که دارای بیشترین تمایل به وارونگی می باشد. مزیت این لچ سادگی آن است. با این حال مشکل و محدودیت اصلی آن حساسیت بالا به SEU می باشد.

گره ها و یا لچ های ST از محرک Schmitt برای جایگزینی $INV1$ در شکل 2 استفاده می کند تا ایجاد بار بحرانی در گره 1 کند. از این رو لچ قدیمی باید دارای توانایی تحمل پذیری بالایی به SEU با تمایل ارتجاع بالای خود باشد. با این حال، مشکل و عیب اصلی گره ST این است که این گره از محرک اشمیت استفاده کرده و موجب تاخیر بیشتر در انتشار شده و ولتاژ عبوری موقت ناشی از خطای نرم دارای شانس ایجاد خروجی نامطلوب را در صورتی خواهد داشت که انرژی ذره به اندازه کافی بالا باشد.

هم چنین گره $SEU-A$ موجب افزایش تحمل و پوشش دادن SEUs با افزایش تعداد گره های با پتانسیل الکتریکی یکسان خواهد شد. همان طور که در شکل 3 نشان داده شده است، مدار را می توان به دو بخش اصلی تقسیم کرد: بخش 1 تنها متشکل از PMOS بوده و بخش 2 تنها متشکل از NMOS است. گره 1، گره 2 و گره خروجی دارای مقدار ذخیره شده مشابه می باشند که به آن ها امکان مقاومت در برابر برخورد ذرات را خواهد داد. با این حال آن ها برای افزایش بار بحرانی تنها در برابر SEU مقاومت می کنند که هنوز قادر به اجتناب از ایجاد خروجی های نامطلوب هنگامی که انرژی ذرات بالاست نمی باشند. با این حال دو مقدار لاجیک

ذخیره شده در گره های 1 و 2 لجیگ های ضعیف بدون سیگنال های کامل می باشند که در نهایت موجب کاهش سرعت عملکرد و ایجاد جریان مدار کوتاه می شوند.

گره و با لچ DICE موسوم به طرح مقاوم به SEU به دلیل توانایی بالای تحمل خطای نرم است. در مقایسه با دیگر مدار های گره ای متحمل به SEU به دلیل ضعیف ترین گره های داخلی، لچ DICE دارای بار بحرانی نسبتا بالاتری طی برخورد ذرات یونیزه می باشد. شکل 4 یک طرح شماتیک از گره DICE را نشان می دهد. ساختار اصلی DICE شامل دو لچ کراس کوپل (متصل) که برای اتصال داخلی به یک حالت لاجیک پایدار طراحی شده اند می باشد. مزیت اصلی DICE این است که دارای دو جفت مقدار لجیک ذخیره شده است که در q_0, q_1 و q_2, q_3 ذخیره می شود. وقتی یک ذره باردار به هر یک از گره های داخلی برخورد می کند، گره را می توان به آسانی توسط سه گره دیگر ریکاوری کرد. از این رو DICE را می توان با توانایی احیایی بهتر داشته باشد. حتی زمانی که فالت های اشفته در گره ذخیره و گره مکمل قرار دارند ($q_3:0-1; q_2:1-0$) مقادیر لاجیک ذخیره شده در دو گره ذخیره ای دیگر صحیح باقی خواهد ماند. با این حال در طرح های ST و SEU-A اگر ذره یونیزه شده حامل انرژی بالا و کافی باشد، فالت SEU رخ خواهد داد.

طرح گره Inter-DICE موجب افزایش تحمل SEU با مضاعف کردن مسیر های انتقالی می شود که به نوبه خود باعث افزایش تحمل SEU نسبت به طرح DICE خواهد شد. همان طور که در شکل 5 گفته شد، گره Inter-DICE از چهار گره $N0a, N1a, N0b$ و $N1b$ برای ذخیره وضعیت لجیک درونی هر یک از مدار ها استفاده می کند. سیگنال داخلی در کل گیت انتقالی منتشر شده و سپس وارد مبدل می شود. هر یک از گره های استاندارد یک بیت مقدار لجیک را در شکل 1 یا 0 ذخیره م می کند. گره Inter-DICE مقادیر دو بیتی را ذخیره کرده و به صورت 01 و یا 10 آن را کد گذاری می کند. فرض کنید که حالت لجیک در $N0a$ و $N1a$ ایجاد یک ذره یونیزه کرده و به لجیک 11 تغییر می کند. حالت لاجیک 11 تنها حالت موقت است زیرا چنین خطای نرم در $N0a$ نمی تواند به دیگر گره های $N1a, N0b$ و $N1b$ منتشر شوند و گره داخلی $N1b$ را می توان به صورت لاجیک 1 تا بار نویز ذخیره کرد.

در واقع، هر دو DICE و طرح های بین DICE به طراحی حفاظت از مدار لچ با استفاده از مکانیسم دو به هم پیوسته (باینری) کمک می کنند. طرح بین DICE موجب مضاعف شدن گره های ذخیره سازی بار های بحرانی

برای هر گره داخلی مدار لچ می شوند. بنابراین، طراحی بین DICE می تواند موجب افزایش تحمل بیشتر SEU از DICE شود. با این حال، طراحی بین DICE هنوز نمی تواند تداخل SEU را به طور کامل عایق کند زیرا خطای نرم هنوز هم می تواند از Noa به خروجی منشر شود و این در صورتی است که انرژی بار ذرات یونیزه شده به اندازه کافی بالا باشد.

شکل 6. نشان می دهد که طرح [2] FERST از سهالمنت C- و دو لچ موازی با ماسک انتشار خطای نرم استفاده می کند. همانطور که در شکل 7 نشان داده شده است المنت C زمانی دارای خاصیت منحصر به فردی است که دو سیگنال ورودی مشابه باشند. در صورتی که دو ورودی متفاوت باشند، خروجی همانند حالت قبل باقی می ماند. مدار FERST از سه المنت مختلف C برای عایق کردن SEUS ها استفاده می کند. برای مثال المنت های 1 و 2 برای جلوگیری از شکست موقتی گره N1 و N2 برای انتشار خروجی استفاده می کنند. المنت 3 از خروجی در برابر شکست های موجود در گره های N3 و N4 محافظت می کنند. در صورت برخورد بار به هر یک از گره ها، FERST به طور کامل SEUS را برای جلوگیری از فالت های SEUS روی سیگنال خروجی پوشش می دهد. مزیت FERST به دلیل تحمل بالای آن به SEUS می باشد. با این حال از معایب اصلی آن تاخیر در مصرف و سخت افزار های پیچیده است.

در میان طرح های موجود، گره های DICE می تواند در برابر SEUS مقاومت بالایی با هزینه های سخت افزاری پایین تر از نظر تعداد ترانزیستور در اختیار بگذارند با این حال، طرح DICE هنوز هم نیاز به ایجاد سربار سخت افزار سنگین برای رسیدن به تحمل برتر به SEU می باشد طوری که باید اندازه ترانزیستور آن برای افزایش مقامت در برابر خطای نرم بالا افزایش پیدا کند. لچ FERST می تواند تحمل، و مقاومت بالایی به SEU داشته باشد. اگر چه طراحی FERST خود مستلزم استفاده از سخت افزار سنگین از نظر تعداد ترانزیستور است با این حال می تواند مقاومت عالی در برابر خطای نرم با اندازه ترانزیستور بسیار کوچکتر به دلیل مکانیزم تحمل خطای نرم برای جلوگیری از انتقال از خطای نرم در سطح ساختاری طراحی شده است فراهم کند. به طور کلی، عملکرد در شرایط قدرت تاخیر محصول در طراحی FERST نسبت به طراحی کم تر DICE است در حالی که هر دو قادر به دستیابی هم زمان به تحمل خطای نرم می باشند. در این مقاله یک گره متحمل به SEU با توانایی تحمل

یکسان طرح FERST معرفی می کنیم که با PDP پایین عملکرد خوبی دارد و به طور مفصل در بخش بعدی به سمع و نظر شما خواهیم رساند.

3-مدار های گره ای (لچی) متحمل به SEU

DICE و FERST دو طرح پیشرفته و نوین می باشند. در اینمقاله طرح های متحمل به SEU بر اساس DICE و در عین حال افزایش بیشتر تحمل SEU را بررسی خواهیم کرد. برای پیشبردافزایش SEU تحمل طراحی DICE، ما باید روش هایی برای افزایش تحمل جفت گره های ذخیره سازی با توانایی بازیابی خطای SEU و همچنین جلوگیری از گره های ذخیره سازی تحت تاثیر یک دیگر فرموله کنیم. برای کاهش اثر تداخل بین جفت گره ذخیره سازی دوگانه، ما از ساز و کار ایزولاسیون برایافزایش مقاومت در برابر برخورد ذرات پر انرژی به جای به استفاده از روش اتصالیاستفاده کردیم. مکانیسم ایزولاسیون برای تفکیک و جدا سازی گره خروجی q1 از q0 و q2 استفاده شد که موجب میان بر شدن مسیر انتشار سیگنال در حالت لچه برای تفکیک و ایزولاسیون تداخل SEU می شود. این مکانیسم ایزولاسیون می تواند موجب افزایش مقاومت و قدرت گره های اصلی DICE شود.

همانطور که در شکل 8 نشان داده شده است پیشنهاد ایزو DICE لچ بر اساس طرح DICE با مکانیسم ایزولاسیون طراحی شده است. همان طور که می بینید این یک گره حساس مثبت می باشد و مکانیسم ایزولاسیون آن توسط بخش های 1-2 و 3 ساخته می شود. دو ترانزیستور MOS موسوم به mpck و mnck برای تفکیک و ایزولاسیون گره q1 از گره خروجی برای حفظ حالت لجیک ذخیره ای استفاده می کند. وقتی که $CLK = 0$ است و برابر با 1 است، مسیر های انتقال سیگنال از w3 و w4 به q1 شکسته می شود. به این طریق، حالت لجیک در گره خروجی q1 محافظت شده و تاثیر خطای نرم در مدار لچ می تواند مهار شود. مدار بازخورد می تواند در حفظ منطق در w3 و w4 مورد استفاده قرار گیرد. در نتیجه، رکود و کاهش سرعت و وضعیت شناور در گره های w3 و w4 دیگر دیده نمی شود. برای بهبود توانایی مقاومت به خطای نرم و اجتناب از آشفستگی ناشی از تخریب مکانیسم ایزولاسیون می توانیم یک وضعیت منطقی (لجیک) از w3 و w4 را به q1 توسط این مدار بازخورد اینورز کنیم. در حالت گره های لچه، وقتی خروجی q1 در منطق 1 است، mpc2 خاموش شده و mnc2 روشن می شود و گره های w3 و w4 به سطح ولتاژ پایه VSS متصل

می شود. حتی زمانی که یک SEU از لجیک 0 به 1 در W3 و W4 اتفاق می افتد ولتاژ گره خروجی تحت تاثیر قرار نمی گیرد. به طور مشابه با خروجی mnc2,q1 خاموش شده و mpc2 روشن می شود و گره های W3 و W4 به سطح ولتاژ باتری VDD متصل می شوند. وقتی SEU از منطق 1 تا 0 در W3 و W4 اتفاق می افتد ولتاژ گره خروجی تحت تاثیر قرار نمی گیرد.

به علاوه در بخش 1 مدار، پایانه های mp3 و mn3 را به ترتیب به CLK و CLKB متصل می کنیم که از نشت ثابت گره ها طی حالت لچه جلوگیری می کند. همان طور که در شکل 9 نشان داده شده است، در حالت باز در صورتی که حالت لجیک ذخیره شده در q1 به صورت 1 باشد، ترانزیستور های mnc1, mnc2, mp3 و همگی روشن خواهند بود. حالت های لجیک W3 و W6 همگی صفر بوده و حالت منطقی CLK در حالت لچه صفر است. در نتیجه، سطح ولتاژ در مسیر انتقالی CLK به W3 و به W6 و VSS همگی یکسان هستند. از این رو هیچ گونه مسیر جریان ثابتی وجود نخواهد داشت. در عین حال، در حالت گره لچه اگر حالت منطقی ذخیره شده در q1 برابر با صفر باشد، ترانزیستور های mpc2, mpc3 و mn3 همگی روشن خواهند بود. وضعیت های W4 و W5 همگی صفر بوده و حالت لجیک CLKB نیز در حالت لچه 1 خواهد بود. سطح ولتاژ در مسیر هادی CLKB تا W4 و W5 و VDD همگی یکسان خواهد بود. از این رو هیچ گونه مسیر ثابتی در وضعیت 1 وجود ندارد زیرا q1 برابر صفر است. از این رو به طور موفق می توان از وقوع SEU در گره های درونی و تغییر حالت لجیک گره خروجی جلوگیری کرد.

عملکرد گره مقاوم به SEU پیشنهادی را می توان در دو حالت اصلی از هم تفکیک کرد: حالت شفاف و حالت لچه. وقتی CLK برابر 1 است، گره در حالت شفاف قرار دارد. و وقتی برابر 0 است، این گره در حالت لچه قرار دارد. همان طور که در شکل 8 دیده می شود وقتی گره در حالت شفاف قرار دارد، mp5, mp4, mp8, و mp7 خاموش شده و از این رو در مصرف برق صرفه جویی می کنند. ورودی D معکوس شده و به دو نقطه ذخیره ای q0 و q2 منتشر می شود. در حالت شفاف mpck و mnck روشن بوده و mpc1, mnc1, mpc3 و mnc3 خاموش می باشند. در عین حال، مسیر بازخورد های اضافی بخش های 2 و 3 خاموش و بخش 1 تحت کنترل q0 و q2 قرار می گیرد. در نتیجه پایانه خروجی گره q1 معکوس q0 و q2 می باشد. از آن جا که هر دو q0 و q2 سیگنال های معکوس ورودی D می باشند، سیگنال خروجی q1 کاملاً مشابه با

سیگنال D خواهد بود. در چنین وضعیتی، عملیات مدار و عملکرد منطقی آن مشابه با گره DICE خواهد بود. وقتی که سیگنال ساعت گرد 0 است، ورودی D توسط $mp2, mp1, mn0$ و $mn2$ عایق شده و گره در حالت لچه قرار می گیرد: $mp8, mp5, mp4$ و $mp7$ روشن بوده و $q0, q2$ و $q3$ لچه می مانند. در عین حال، $mpck$ و $mnck$ خاموش شده و نمی توانند $q0$ و $q2$ را از $q1$ تفکیک کنند و نیز $mpc1, mnc1$ و $mpc3$ و $mnc3$ برای فعال سازی عملیات بازخورد روشن می شوند.

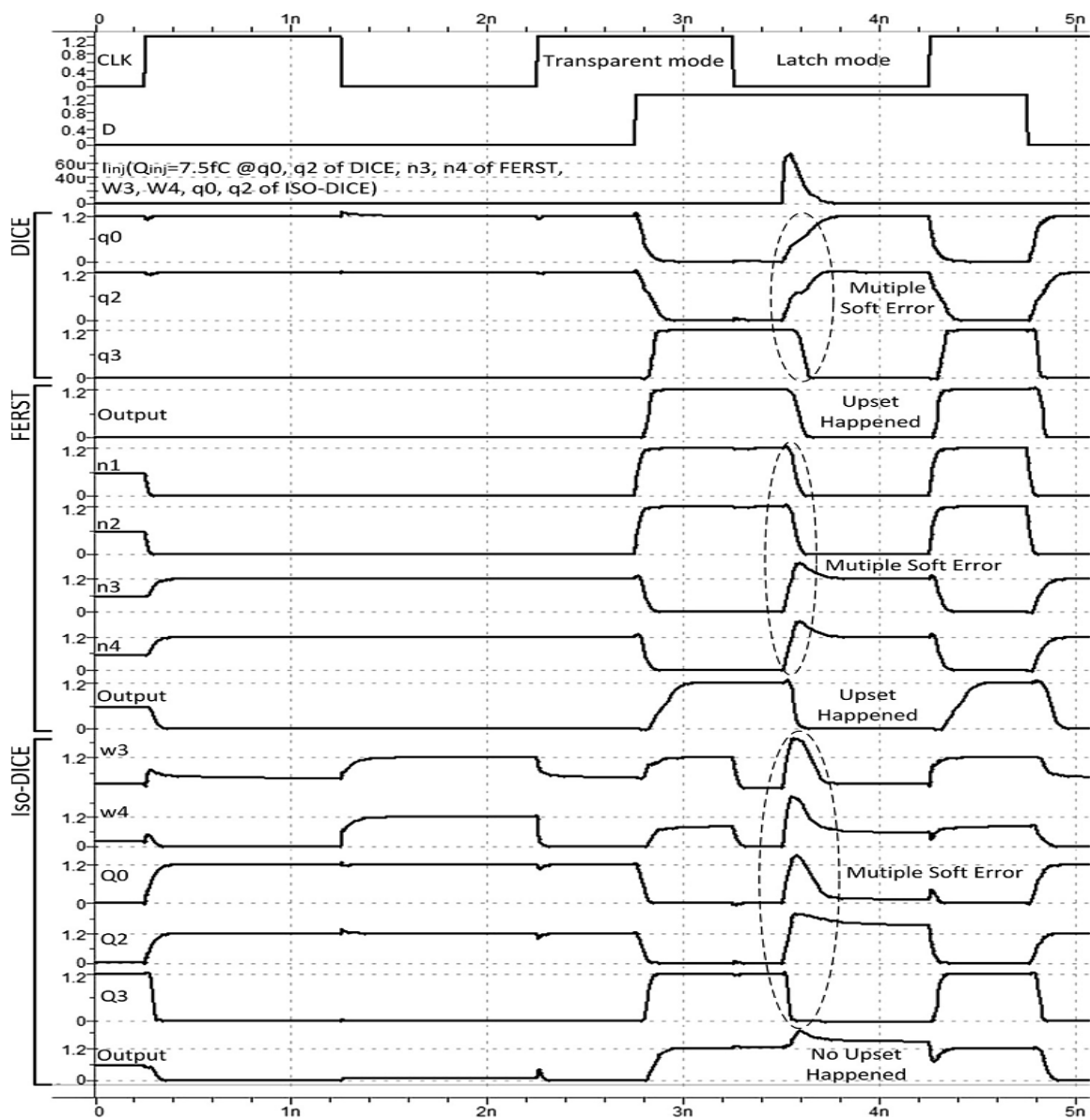
به طور کلی عملکرد گره Iso-DICE و DICE در حالت شفاف کاملاً مشابه است. در صورتی که انرژی ذره بالا باشد DICE در معرض تداخل قرار خواهد گرفت. در رابطه با حالت لچه گره Iso-DICE، می توان مقاومت بالا به ذرات پر انرژی را مشاهده کرد زیرا می توان مکانیسم ایزولاسیون بین $q1$ و $q2, q0$ ایجاد کرد. در طرح پیشنهادی، مدار بخش 1 به عنوان یک مبدل CLK/CLKB عمل کرده و می تواند گره خروجی $q1$ را از $q0$ و $q2$ جدا کند و آن را در برابر هجوم گره داخلی محافظت کند. مدار بخش 2 و 3 برای حل مشکل شناوری $w3$ و $w4$ استفاده می شود. همان طور که در شکل 10 دیده می شود، وقتی حالت لجیک در گره های $w3$ و $w4$ تحت ذرات یونیزه شده قرار می گیرند، SEU موجب وارونه شدن گره های $w3$ و $w4$ در یک سطح خواهد شد. در نتیجه اگر هر گونه SEU در گره های درونی Iso-DICE رخ دهد، گره خروجی $q1$ مقدار منطقی ذخیره شده خود را حفظ کرد. مکانیسم ایزولاسیون تحت مدار بخش های 1-2 و 3 امکان افزایش تحمل پذیری و مقاومت را زمانی که ذره یونیزه شده به گره بر خورد می کند را خواهد داد.

به دلیل خاصیت ایزولاسیون، گره Iso-DICE پیشنهادی نه تنها در برابر برخورد ذرات قوی مقاومت خواهد کرد بلکه می تواند به چندین خطای نرم نیز مقاومت داشته باشد. به علاوه، مکانیسم ایزولاسیون در Iso-DICE پیشنهادی توسط المنت C کلاسیک نمی تواند ایجاد شود. گره خروجی در Iso-DICE پیشنهادی تنها به دو ترانزیستور متصل است که پایانه آن ها توسط سیگنال های CLK و CLKB به ترتیب کنترل می شوند. از این رو Iso-DICE پیشنهادی می تواند به اشفتگی های خطای نرم با ترکیبات دلخواه تحمل نشان دهد. در طرح های ایزولاسیون خطای نرم بر اساس عنصر C، آن ها قادر به تحمل دو خطای نرم در یک زمان روی دو گره ورودی نمی باشند. طرح پیشنهادی از چنین مشکلاتی اجتناب کرده و خطاهای نرم چند گانه را در Iso-DICE تحمل می کند و قادر به پیشگیری از فالت های به وجود آمده از گره های جانبی و مجاور برای تکثیر $q1$ گره

خروجی با خاموش کردن ترانزیستور های mpck و mnck می باشند. از این رو پایانه خروجی قابل اعتماد بوده و مقدار لجیک ذخیره شده تحت تاثیر SEUs های چند گانه قرار نخواهد گرفت. اگرچه گره DICE و FERST به برخورد تک ذرات بسیار مقاوم اند و دارای توانایی SEUs گره های چند گانه برای تحمل مجموعه ای از اشفتگی های گره ها می باشد. با این حال فالت ها حتی در خروجی ها نیز وجود دارند و این زمانی رخ می دهد که برخورد ذرات قوی در بیش از یک گره درونی قرار گیرند. همان طور که در شکل 11 دیده می شود، فالت خروجی اتفاق می افتد زیرا SEU در هر دوی q0 و q2 در یک DICE قرار دارند. یک فالت خروجی نیز به صورت SEU در گره های N1 و N2 و یا N3 و N4 وجود دارد. با این حال، Iso-DICE می تواند موجب کاهش SEUs شود حتی اگر SEU در هر دو گره داخلی w3 و w4 در یک زمان قرار داشته باشند.

علاوه بر افزایش قابلیت و توانایی تحمل به SEU، Iso-DICE پیشنهادی عملیات خود را با PDP انجام می دهد. دلیل کلیدی برای رسیدن به چنین خاصیتی، استفاده از سیستم ایزولاسیون می باشد. از حیث مقایسه مصرف برق، گره های FERST، DICE و Iso-DICE همگی فاقد مصرف برق ساکن می باشند. لچ FERST دارای تعداد ترانزیستور های بیشتری بوده و از این رو برق بیشتری را در مدار کوتاه مصرف می کنند. با این حال انواع DICE و Iso-DICE موجب کاهش مسیر و میان بردن آن با خاموش کردن mp5, mn4, mn7 و mp6 می شوند و این در صورتی اتفاق می افتد که سیگنال ساعت برابر 1 باشد. از این رو لچ DICE و Iso-DICE قادر به مصرف برق دینامیکی کم تر و برق مدار کوتاه کم تر نسبت به FERST می باشند. در خصوص زمان تاخیر در مدار های لچ، تفاوت اصلی ناشی از مراحل انتقال سیگنال و تعداد ترانزیستور های MOS است که موجب می شود تا FERST دارای زمان تاخیر بیشتری نسبت به DICE باشد.

شکل 11: ازمون نتایج برای Multi-SEUs ها در طرح های مختلف مداری



لج ISO-DICE پیشنهادی دارای زمان تاخیر طولانی تری در مقایسه با لج DICE می باشد که ناشی از وجود ترانزیستور های اضافی MOS برای ایزولاسیون خطا های نرم می باشد . با این حال، طرح Iso-DICE پیشنهادی می تواند از طریق مکانیسم ایزولاسیون به تداخل DICE مقاومت نشان دهد و که نباید م افزایش اندازه ترانزیستور ها را با افزایش بار بحرانی آن ها به دنبال داشته باشد. از این رو تحت شرایط یکسان و مساوری با تحمل بالا به SEU، طرح پیشنهادی Iso-DICE می تواند با کم ترین PDP در مقایسه با طرح های پیشرفته DICE و FERST عمل کند.

4- نتایج شبیه سازی و آزمایش

در این مقاله، ما به تحلیل و ارزیابی تحمل خطای نرم لچ ها (latch) به سه طریق خواهیم پرداخت: نخست، ما توانایی لچ ها را برای حفاظت خود در برابر SEUs. ارزیابی خواهیم کرد. می توانیم از سورس جریان قابل کنترل برای مدل سازی برخورد ذرات در مدار باز استفاده کنیم. توانایی تحمل و یا تحمل پذیری SEUs در هر یک از گره های مدار با محاسبه بار بحرانی هر یک از گره های درونی اندازه گیری و ارزیابی می شود. شبیه سازی مونته کارلو از قانون اعداد بزرگ برای مقایسه ایمنی SEUs در میان انواع مختلف گره ها با شمارش احتمال وارونگی در گره ها ناشی از برخورد ذرات در گره استفاده می کند. دوما، ما این مدار ها را روی طیف وسیعی از مدار های شاهد و یا معیار اعمال کرده و بهبود خطای نرم آن ها را به طور تک تک ارزیابی می کنیم. سوم ما به ارزیابی تحمل خطای نرم FERST،DICE و Iso-DICE پیشنهادی در عین وجود تغییرات پارامتری و SEU ها در زمان های مختلف و اشفتگی های چند گانه در خطای نرم گره ها خواهیم پرداخت. SER را می توان از معادله زیر به دست آورد:

$$SER \propto N_{flux} \times CS \times e^{(-Q_{critical}/Q_s)}$$

که N_{flux} جریان کل نوترون، CS سطح مقطع گره، Q_s کارایی بار در ذرات برخوردی به سطح لچه به پروفیل دوپینگ، و $Q_{critical}$ بار بحرانی است که متناسب با ولتاژ برق ورودی و ظرفیت گره مقطع عرضی است. معادله 1 نشان می دهد که SER که با $Q_{critical}$ ارتباط نمایی دارد و یک فاکتور کلیدی است که بر مصون ماندن از خطای نرم گره های داخلی تاثیر می گذارد. خطای نرم در صورتی رخ خواهد داد که ذرات برخوردی و انرژی آن ها فراتر از بار بحرانی یک گره داخلی مدار باشد. از این رو ما نخست توانایی تحمل به SEU را در مدار های مختلف با تحلیل بار بحرانی هر یک از گره های داخلی و انتخاب حساس ترین گره ها در هر یک از طرح ها تجزیه تحلیل خواهیم کرد. تحمل خطای نرم تک تک مدار ها را می توان به طور کمی با استفاده از روش آماری مونته کارلو ارزیابی و مقایسه کرد. به علاوه ما کاهش SER را در سیستم کارکردی با استفاده از مدار های متعدد روی مدار های شاهد تحلیل خواهیم کرد.

همه این روش ها از بار بحرانی به عنوان اساس ارزیابی کلیدی برای اندازه گیری و مقایسه مقاومت به خطای نرم در هر یک از گره های درونی، هر یک از مدار عا و بهبود SER در هر یک از مدار های معیار استفاده می کنند. بار بحرانی مورد نیاز برای یک اشفتگی ناشی از خطای نرم را می توان از فرمول زیر محاسبه کرد:

$$I_{inj}(t) = \frac{Q_{coll}}{\tau_{\alpha} - \tau_{\beta}} (e^{-t/\tau_{\alpha}} - e^{-t/\tau_{\beta}})$$

که $I_{inj}(t)$ جریان القایی هنگام برخورد ذره آلفا به ناحیه انتشار بوده و می تواند به صورت پالس انتشاری نمایی مضاعف مدل سازی شود، Q_{coll} بیانگر بار ذره برخوردی، τ_{α} بیانگر زمان ثابت اتصال یا برخورد، و τ_{β} ثابت زمانی تثبیت مسیر یونی می باشد. τ_{α} و τ_{β} بر اساس تجربه های مختلف برابر با 164 ps و 50 ps می باشند. از این رو ما لچه به روند تغییرات پیش بینی شده این دو را به ترتیب 50 PS و 15PS قرار می دهیم. ما سورس جریان پالسی را برای مدل سازی پاسخ جریان از تصادم ذرات آلفا در هر یک از گره های تحت آزمایش استفاده کردیم. در صورتی که بار جریان انقدر زیاد باشد که موجب وارونگی سطح لاجیک در خروجی مدار شود، و موجب شود تا ولتاژ خروجی در نیمی از VDD تغییر کند، بار اشفته Q_{coll} به صورت بار بحرانی Q_{crit} تعریف خواهد شد. با تکرار همین آزمایش و روش محاسبه، می توان بار بحرانی همه گره های مدار را اندازه گیری کرد. طی روش شبیه سازی، گره های موجود در مبدل خروجی که PMOS دو برابر حداقل اندازه است و NMOS دارای حداقل اندازه است قرار دارند.

می توان نتایج آنالیز بار بحرانی را برای هر یک از گره های درونی تحت فناوری TSMC 90 nm CMOS تعمیم داد. در صورتی که گره درونی حتی در صورت بالا بودن انرژی بار، تحت تاثیر بار ذره بحرانی قرار می گیرد و بار بحرانی چنین گره ای به صورت ∞ نشان داده می شود. نتایج آنالیز بار بحرانی نشان می دهد که همه کمیت های بار بحرانی را می توان محاسبه کرد در حالی که مکانیسم متحمل به خطای نرم در مدار های لچ ایجاد می شود.

جدول 1: بار بحرانی، وزن دهی مساحت و POF گره های درونی برای هر یک از لچ ها تحت فرایند فناوری

TSMC 90 nm CMOS

Convectional	node	Qb	nq		
	w	0.10	0.20		
	Qcirt	6.50	5.10		
	E	71%	78%		
DICE	node	Q0	Q2	Q3	
	w	0.05	0.10	0.10	
	Qcirt	$\rightarrow \infty$	15.20	18.30	
	E	0%	23%	7%	
Inter-DICE	node	N0a	N0b	N1a	N1b
	w	0.10	0.10	0.10	0.10
	Qcirt	32.80	32.70	$\rightarrow \infty$	$\rightarrow \infty$
	E	0%	0%	0%	0%
FERST	node	N1	N2	N3	N4
	w	0.08	0.08	0.04	0.04
	Qcirt	$\rightarrow \infty$	$\rightarrow \infty$	$\rightarrow \infty$	$\rightarrow \rightarrow \infty$
	E	0%	0%	0%	0%
ISODICE	node	Q0	Q2	Q3	
	w	0.08	0.08	0.04	
	Qcirt	$\rightarrow \infty$	$\rightarrow \infty$	$\rightarrow \infty$	
	E	0%	0%	0%	

جدول 2: POF و بهبود POF گره های متحمل به SEU با استفاده از آنالیز مونته کارلو تحت TSMC 90 nm

CMOS

	Conventional %	DICE %	FERST %	Inter-DICE %	Iso-DICE %
POF	22.7	3.35	0	0	0
POF improvement	-	85.00	100.00	100.00	100.00

مقادیر بار بحرانی همه گره های داخلی در طرح های FERST و Iso-DICE نزدیک به هم شده و مقدار بار بحرانی نیمی از گره ها در طرح Inter-DICE نزدیک مشابه می باشد. طرح های FERST و Iso-DICE دارای ایمنی بالایی در برابر SEU می باشند زیرا مکانیسم ایزولاسیون را می توان برای تفکیک تداخل در گره های داخلی ایجاد کرد و این به حفظ حالت لجیک کمک شایانی خواهد کرد. در خصوص طرح Inter-DICE، می توان گفت که به تاثیرات ذرات الفا با قابلیت ارتجاع بالا مقاوم است. با این حال هیچ گونه مکانیسم عایق سازی بین گره خروجی و گره های درونی در طرح Inter-DICE وجود ندارد. از این رو بار بحرانی نیمی از گره های داخلی نا محدود خواهد شد. بر خلاف لچ های کلاسیک، بار بحرانی در گره های درونی و توانایی تحمل SEU در لچ های Inter-DICE می تواند مطمئناً افزایش پیدا کند. با این حال در مقایسه با FERST و Iso-DICE، از جمله طرح های مقاوم به خطای نرم، Inter-DICE دارای عملکرد بار بحرانی در حد عالی نمی باشند.

نتایج آنالیز مونته کارلو برای مدار های لچ در جدول 2 نشان داده شده است. هدف شبیه سازی مونته کارلو مقایسه و کمی سازی توانایی تحمل پذیری خطای نرم در هر یک از لچ هاست. از طریق شبیه سازی مونته کارلو، هر یک از مدار ها برای برخورد ذرات یونیزه در هر یک از گره های داخلی 100 برابر شبیه سازی می شود. با توجه به نتایج اماریف می توان احتمال شکست هر یک از لچ ها را بدست آورد که POF برای ارزیابی احتمال وقوع خطای نرم در هر یک از لچ ها استفاده می شود.

$$POF = \sum_{i=1}^n w_i E_i \quad (3)$$

$$w_i = \frac{Area_i}{Area_{total}}, \quad E_i = \frac{\text{numberofflips}}{\text{numberofinjections}} \times 100\% \quad (4)$$

همان طور که در معادله 3 می بینید، تعریف POF، مجموع احتمال وارونگی حالت لجیک در هر گره ضرب در اوزان آن می باشد. در این جا w_i وزن مساحت اشغال شده توسط گره i ، $Area_i$ مساحت سیلیسیم اشغال شده در هر گره داخلی و $Area_{total}$ مساحت کل مدار لچ، است. E_i احتمال وارونگی در لچ ناشی از برخورد ذرات در گره i است.

در مدار های CMOS، یک انرژی fc100 برای وارونگی سطح لجیک خروجی لازم است. با این حال در فرایند های فناوری پیشرفته نانو مقیاس CMOS، بار بحرانی سلول ذخیره ای SRAM تحت 90 nm CMOS حدود fc 1.46 است. به طور کلی، بار بحرانی به طور معنی داری در طرح پیشرفته VLSI پایین است و همه گره های مدار به خطای نرم بسیار حساس است. برای ارزیابی مقاومت و مصونیت از SEU در هر یک از مدار های لچ و تفکیک عملکرد تحمل خطای نرم در هر یک از لچ ها، نخست هر یک از بار های ذرات را در دامنه fc1 تا fc 20 با توزیع یکنواخت فرض می کنیم.

نتایج آنالیز POF حاکی از این است که Iso-DICE و FERST هر دو دارای pof بالا و تحمل فوق العاده به SEU می باشند. دلیل اصلی این است که هر دو گره درونی تحت حفاظت مناسب بوده و مسیر های انتشار خطای نرم به طور مناسبی عایق میشوند. FERST از المنت C برای ایزولاسیون خطای نرم و سلول ذخیره ای Iso-DICE برای دست یابی به حداکثر ایزولاسیون خطای نرم استفاده می کند.

تحت ایزولاسیون بهینه بین گره های داخلی در برابر گره های خروجی، هنگامی که ذرات یونیزه کننده به گره های درونی Iso-DICE و FERST برخورد می کنند، این موجب وارونگی سطح لجیک در خروجی مدار لچ نشده و موجب می شود تا مقدار بار بحرانی گره های داخلی به بی نهایت نزدیک شوند. از این رو احتمال وارونگی حالت E_i هر یک از گره های داخلی 0 درصد است.

در رابطه با طرح DICE و inter-DICE، حتی اگر همه آنها مکانیسم محافظت در برابر خطای نرم با طور متقابل داشته باشند باید تست های صحت سنجی را انجام داد. با این حال این مکانیسم ها ممکن است به شدت تحت تاثیر قرار گیرند و این در صورتی است که اگر ذرات یونیزه کننده در مدار قابل توجه باشند انرژی آن هم بالاتر باشد. مکانیسم به هم پیوسته به قابلیت جداسازی کامل نرم خطای. اشاره ندارد. هنگامی که مکانیک هم پیوسته (ISM) از بین می رود، خطای نرم ناشی از ذرات یونیزه از طریق مسیر سیگنالینگ به ترمینال های خروجی منتقل شده، که در گره خروجی لچ به وارونگی منجر شده و ایجاد نقص موقت خواهد کرد.

هر گره داخلی در DICE و inter-DICE در جدول 1 نشان داده شده است. فقط مهمیک گره داخلی (Q3) در لچ DICE می تواند به بی نهایت نزدیک باشد. دیگر گره های داخلی هنوز شانس در معرض قرار گرفتندرات و در نتیجه خطای نرم قرار دارند. همانند طرح inter-DICE، دو گره N1a و N1b با بار بحرانی می تواند به بی نهایت نزدیک شود. دیگر گره های داخلی در بین DICE نیز ممکن است هنوز شانس یونیزاسیون و تهاجم ذرات. داشته باشند. با این حال، هر دوی N0a و N0b در inter-DICE بیشتر از Q2 و Q3 است. علاوه بر این، N0a و N0b بالاتر از 20fC است. بنابراین، inter-DICE مدار همچنین می تواند با بهبود 100% POF همراه باشد و این می تواند باعث حذف کامل SEU در گره های متناوب شود.

با این حال لچ DICE تنها موجب کاهش POF تا 3.35 درصد شده و با افزایش 85 درصدی POF در مقایسه با طرح لچ کلاسیک همراه می باشد.

بعد از آنالیز بار بحرانی و POF، می توان میزان خطای نرم و بهبود SER را در هر یک از مدار ها آنالیز کرد که آنالیز SER را در خود لچ و SER را در هر سیستم معیار در نظر می گیرد. سپس دامنه بهبود SER را در سیستم های معیار در هر یک از طرح های مدار را آنالیز می کنیم. اساس آنالیز SER را می توان به سورتس ها مختلف نسبت داد و تعریف SER را می توان به این صورت بیان کرد:

$$SER = \sum_{i=1}^n \frac{WOV_i}{T_{CK}} k_i \frac{\alpha}{\beta} e^{-\beta Q_{crit}(i)}$$

که WOV آسیب پذیری ویندوز بوده و بازه های زمانی ممکن را نشان می دهد که طی آن مدار لچ تحت تاثیر خطای نرم قرار می گیرد. TCK دوره سیگنال ساعت عملیاتی، k_i وزن دهی برای هر یک از گره های درونی، α/β و بتا پارامتر های برازشی می باشند. می توان بهبود SER بین لچ ها را با حفاظت SEU و لچ های محافظت نشده مقایسه کرد. بهبود SER را می توان با تعریف ذیل محاسبه کرد:

$$SER \text{ improvement}\% = \frac{SER_{conventional} - SER_{compared}}{SER_{conventional}} \times 100\% \quad (6)$$

طی محاسبات بهبود SER، رابطه ای مقسمی بین مدار لچ تحت مقایسه و لچ های بدون حفاظ وجود دارد. برخی پارامتر های رایج در SER، نظیر WOV/Tck و α/β را می توان حذف کرد و SER را می توان به R تشریح کرد که با فرمول زیر محاسبه می شود:

$$R = \sum_{i=1}^n k_i e^{-\beta Q_{crit}(i)}$$

که k_i وزن سطح گره های داخلی. تعریف KI به صورت (8) بیان می شود که W_i را در POF تعریف می کند. همه این موارد نشان دهنده درصد مساحت هر گره اشغال شده در مقایسه با سطح کل مدار لچ است

$$k_i = \frac{A_i}{A_{total}} = w_i \quad (8)$$

با جایگزینی SER با R، درصد افزایش SER را می توان به صورت معادله زیر بازنویسی کرد:

$$SER \text{ improvement}\% = \frac{R_{conventional} - R_{compared}}{R_{conventional}} \times 100\% \quad (9)$$

بر اساس درصد بهبود SER، می توان بار بحرانی Q_{cirt} را برای هر گره داخلی و وزن سطح گره ها را در معادلات 8 و 9 برای بدست آوردن درصد بهبود SER لچ های مختلف متحمل به SEU قرار داد. به دلیل این که فاکتور بر عملکرد SER غالب است، وجود گره های آسیب پذیر در مدار لچ عامل کلیدی است که SER را نمی توان در مدار و یا سیستم معیار کاهش داد.

این مقاله، از سری مقالات ترجمه شده رایگان سایت ترجمه فا میباشد که با فرمت PDF در اختیار شما عزیزان قرار گرفته است. در صورت تمایل میتوانید با کلیک بر روی دکمه های زیر از سایر مقالات نیز استفاده نمایید:

لیست مقالات ترجمه شده ✓

لیست مقالات ترجمه شده رایگان ✓

لیست جدیدترین مقالات انگلیسی ISI ✓

سایت ترجمه فا ؛ مرجع جدیدترین مقالات ترجمه شده از نشریات معتبر خارجی