



ارائه شده توسط:

سایت ترجمه فا

مرجع جدیدترین مقالات ترجمه شده

از نشریات معتبر

تاثیر و توجیه کاهش دیواره درین القا شده بر روی 100 MOSFET نانومتری

با دی الکتریک های گیت K

چکیده :

تاثیر کاهش دیواره درین القا شده (FIBL) در 100 MOSFET نانومتری با دی الکتریک های گیت با K بالا با استفاده از دو شبیه ساز دستگاه دو بعدی بررسی می شود. یک تئوری خازن معادل برای توضیح مکانیسم های فیزیکی اثر کاهش دیواره درین القا شده (FIBL) مورد استفاده قرار گرفت. بر اساس تئوری خازن معادل، اثرات طول کانال، عمق اتصال، طول هم پوشانی درین دوپ شده سبک و گیت، مواد اسپیسر و عرض اسپیسر بر روی کاهش دیواره درین القا شده (FIBL) به طور کامل بررسی می شود. دی الکتریک گیت استک برای مهار اثر کاهش دیواره درین القا شده (FIBL) ارایه شده است.

کلمات کلیدی : دی الکتریک گیت با K بالا ، کاهش دیواره درین القا شده (FIBL) ، دی الکتریک گیت استک ،

MOSTEF

1- مقدمه

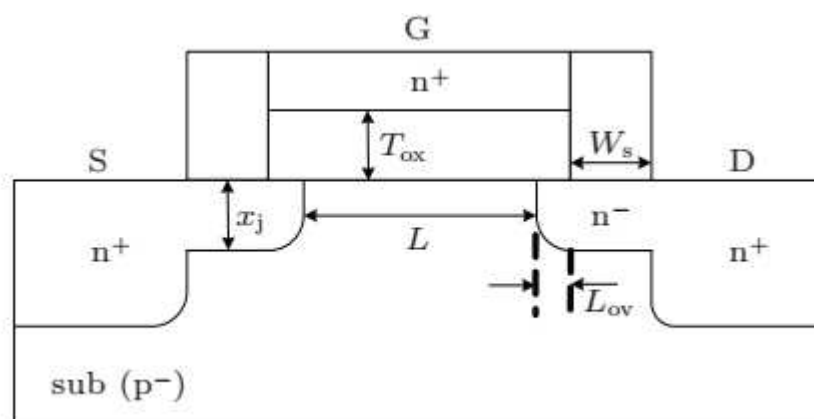
اندازه MOSFET، به 100 نانومتر کاهش می یابد این ضخامت سیلیسیم اکسید می تواند برای حفظ ظرفیت محرک جریان کارآمد کاهش یابد. با این حال، وقتی ضخامت سیلیسیم اکسید نازک تر از 1.5 نانومتر باشد، جریان تونل بندی مستقیم به طور قابل توجهی افزایش می یابد که به یک عامل محدود کننده اصلی در فناوری نیمه هادی مکمل CMOS می شود. مواد با K بالا به عنوان دی الکتریک های جایگزین یا متناوب به طور قابل توجهی مطالعه شده اند و دارای ضخامت فیزیکی زیادی برای پیش گیری از تونل بندی مستقیم هستند. متأسفانه، اثر جانبی موسوم به کاهش دیواره درین القا شده (FIBL) به یک تهدید جدی برای اطمینان پذیری تبدیل شده است به خصوص زمانی که ضخامت دی الکتریک گیت قابل مقایسه با طول کانال باشد. با افزایش ضخامت فیزیکی گیت دی الکتریک، خطوط میدان الکتریکی از انتهای الکتروود گرفته شده و در منبع و منطقه درین افزایش می یابند. این خطوط الکتریکی تشکیل یک میدان الکتریکی می دهند که در درین نشات می گیرند. و به درون کانال از طریق دی الکتریک با K بالا نفوذ کرده و موجب مهار ارتفاع مانع از منبع به کانال می شود. این منجر به یک ولتاژ با استانه پایین تر، پیچش

استانه و افزایش جریان می شود. در این مقاله جریان فوق برای بررسی تغییرات دستگاه ها با دی الکتریک های باگیت بالا استفاده می شود.

برخی از تحقیقات برای درک اثر کاهش دیواره درین القا شده (FIBL) بر روی دستگاه و عملکرد جریان و مدار MOTSEF با دی الکتریک های با گیت بالا انجام شدند. کاهش دیواره درین القا شده (FIBL) با استفاده از ساختار های مختلف نظیر ضخامت اکسید موثر، طول گیت، عمق اتصال و عرض اسپیسر بررسی می شود. با این حال این مطالعات به بررسی و توضیح مکانیسم فیزیکی اثر FIBL نپرداخته اند. ماهوترا و همکاران یک تئوری فاصله الکتریکی را برای توصیف FIBL ارائه کرده اند با این حال اثر اسپیسر بر روی ویژگی های دستگاه در نظر گرفته نشده است. در این مقاله تاثیر کاهش دیواره درین القا شده (FIBL) در MOSFET 100 نانومتری با دی الکتریک های گیت با K بالا با استفاده از دو شبیه ساز دستگاه دو بعدی بررسی می شود. یک تئوری خازن معادل برای توضیح مکانیسم های فیزیکی اثر کاهش دیواره درین القا شده (FIBL) مورد استفاده قرار گرفت. بر اساس تئوری خازن معادل، اثرات طول کانال، عمق اتصال، طول هم پوشانی درین دوپ شده سبک و گیت، مواد اسپیسر و عرض اسپیسر بر روی کاهش دیواره درین القا شده (FIBL) به طور کامل بررسی می شود. دی الکتریک گیت استک برای مهار اثر کاهش دیواره درین القا شده (FIBL) ارائه شده است.

2- ساختار و پارامتر های دستگاه

nMOSFETs با درین دوپ سبک در این مطالعه استفاده شد. لایه اسپیسر با اکستنشن های درین و منبع دوپ شده رسوب داده شد. شکل 1 یک مقطع عرضی را از ساختار دستگاه نشان می دهد. پارامتر های ساختار و فرایند در جدول 1 نشان داده شده اند



شکل 1: مقطع عرضی شماتیک از nMOSFETs با ساختار LDD می باشد

جدول 1: پارامترهای ساختار و فرایند nMOSFETs

مقدار	پارامترها
1	تمرکز دوپ پلی سیلیسم $n^+ 10^{20} \text{ cm}^{-3}$
1	تمرکز دوپ درین منبع $n^+, 10^{20} \text{ cm}^{-3}$
1	تمرکز دوپ مناطق $n^- \text{ LDD}$
4	تمرکز دوپ سوپسترا $p^- 10^{18} \text{ cm}^{-3}$
32	طول کانال L/nm
1	عرض کانال $W/\mu\text{m}$
40	ضخامت دی الکتریک گیت معادل
15	عرض اسپیسر
9	عمق اتصال $\text{LDD } x_j/\text{nm}$
	طول هم پوشانی LDD

3- مکانیسم فیزیکی اثر FIBL

در این مقاله گذر دهی دی الکتریک گیت از $3.9 (\text{SiO}_2)$ تا $80 (\text{TiO}_2)$ متغیر است. برای حفظ یک ظرفیت اکسید گیت، ضخامت معادل دی الکتریک به صورت زیر بدست می آید

$$T_k = \frac{k \times T_{\text{ox}}}{3.9}, \quad (1)$$

که K گذر دهی دی الکتریک گیت K بالا و T_{ox} یک ضخامت معادل SiO_2 می باشد. شکل 2 شماتیکی از مسیر های الکترون درین و گیت را از طریق مسیر های نزدیک به منبع نشان می دهد. مسیر های اتصال و کوپلینگ برای نشان دادن مسیر خط میدان الکتریکی منتهی به منطقه کانال وارد می شود. منبع و سوپسترا در این حالت نا دیده گرفته می شوند. می توان ظرفیت C_{cp} را طوری تعریف کرد که برای توصیف اثر اتصال بین گیت و درین و منطقه کانال استفاده کرد. با افزایش ظرفیت، الکترو دین و درین به کانال متصل می شود و اثر گیت و درین بهبود می یابد.

به صورت زیر بیان می شود C_{cp}

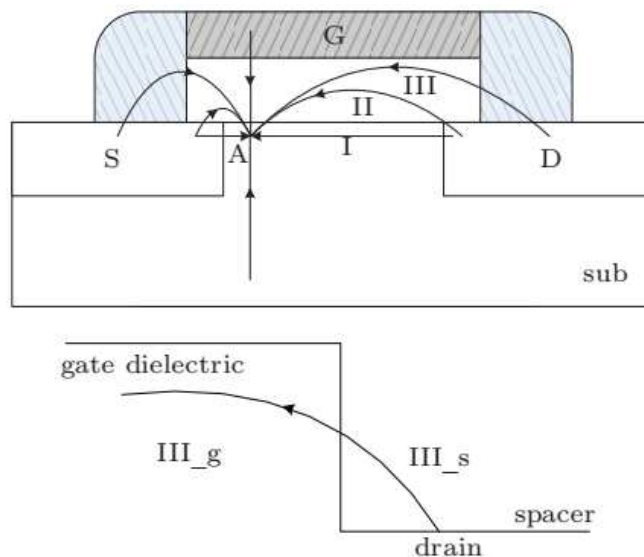
$$C_{cp} = a \times \frac{\epsilon_{in} \times S_{cp}}{T_{phy}}, \quad (2)$$

$$S_{cp} = W \times L_{eff}, \quad (3)$$

که a یک پارامتر برازشی بین 0 و 1 است، ϵ_{in} گذر دهی دی الکتریک بین پلیت های خازن معادل است. S_{cp} ، منطقه بین مسیر های گذردهی، T_{phy} فاصله فیزیکی بین دو الکتروود با ظرفیت معادل، L_{eff} طول خازن معادل و w یک عرض کانال با ثابت معادل $1 \mu m$ است.

$$C_{cp} \propto \frac{\epsilon_{in} \times L_{eff}}{T_{phy}}, \quad (4)$$

که L_{eff} طول کانال $(L_{eff} = L)$ ، ϵ_{in} گذر دهی دی الکتریک گیت $(\epsilon_{in} = k)$ ، و T_{phy} ضخامت دی الکتریک $(T_{phy} = T_k)$ ، از معادله 1 بیان می شود. از این روی می توان نتیجه گرفت که FIBL ناشی از دی الکتریک بالا با اثر اتصالی از الکتروود درین از منطقه کانال می باشد. الکترون درین به منطقه کانالاز طریق سوبسترا، گیت، اسپیسر متصل می باشد. از این روی می توان سه مسیر اتصال از الکتروود درین تا منطق کانال تعریف کرد. ان ها شامل مسیر های 1، 2 و 3 می باشند. بر اساس سه مسیر معادل، اثرات پارامتر های ساختاری بر روی کاهش دیواره درین القا شده (FIBL) ب بررسی می شود.

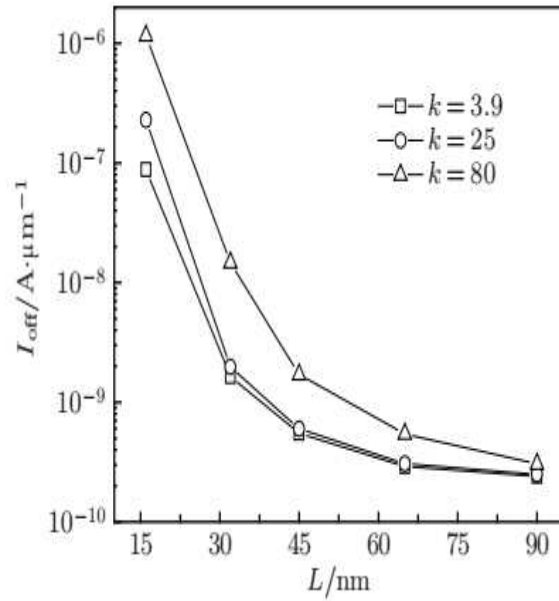


شکل 2: شماتیکی از مسیر های کوپلینگ متفاوت

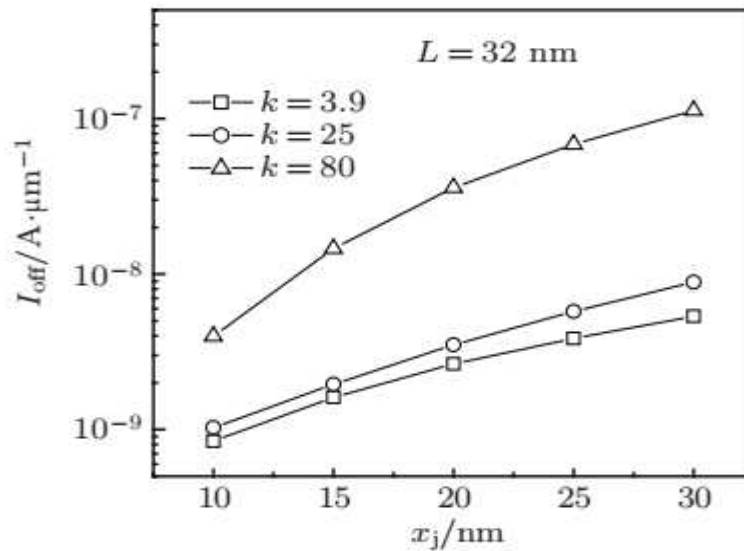
4- نتایج و بحث

شکل 2 اتصال و کوپلینگ از طریق مسیر 1 (از طریق سوبسترا) مربوط به طول کانال و طول اتصال را نشان می دهد و با T_{phy} و L_{eff} در معادله 4 متناظر است. وقتی که طول کانال کاهش یا عمق اتصال افزایش می یابد، ظرفیت معادل C_{cp} می باشد. و از این روی، اثر اتصال یا کوپلینگ از الکتروود درین به کانال افزایش می یابد و اثر FIBL افزایش یافته و جریان بزرگ تر بدست می آید

شکل 3 وابستگی جریان I_{off} را بر روی طول کانال L برای ثابت های دی الکتریک مختلف نشان می دهد و بر اساس این شکل می توان گفت که تجزیه عملکرد برای طول کانال کوتاه بزرگ تر است. دلیل این است که اثر اتصال از درین به سوبسترا تا منطقه کانال افزایش می یابد. اثر فیبل مشهود تر شده و جریان بزرگ تر بدست می آید. اثر اتصال طول کانال نه تنها بر مسیر 1 بلکه بر مسیر 2 و 3 اثر دارد. مکانیسم اثر کوپلینگ مشابه است. اثر کوپلینگ بر روی فاصله فیزیکی بین دو الکتروود اثر دارد و از این روی اثر فوق برای طول کانال کاهش می یابد. شکل 2 وابستگی جریان I_{off} را به عمق اتصال X1 برای ثابت های دی الکتریک نشان می دهد. بر اساس شکل 2 نشان می دهد که با افزایش عمق اتصال افزایش می یابد که متناظر با L_{eff} معادله 4 است. اینمطابق با تحلیل های نظری است. شکل 2 نشان می دهد که مسیر 1 مستقل از ثابت های دی الکتریک گیت است. بر اساس شکل 2 و 3 می توان گفت که برای طول و عمق کانال یکسان، L_{eff} با افزایش در گذر دهی دی الکتریک افزایش می یابد. این ناشی از اثر کوپلینگ الکتروود درین از طریق مسیر 1 و 2 است که در ادامه بررسی می شود

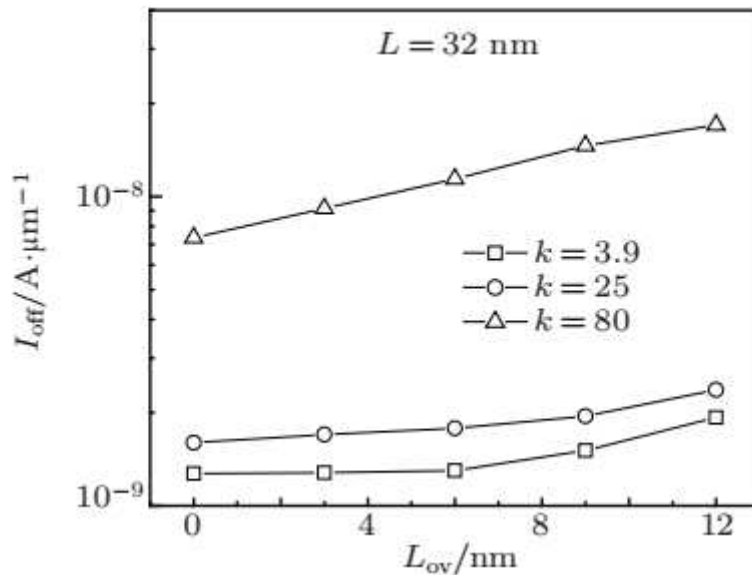


شکل 3: وابستگی های I_{off} به L برای ثابت های مختلف دی الکتریک



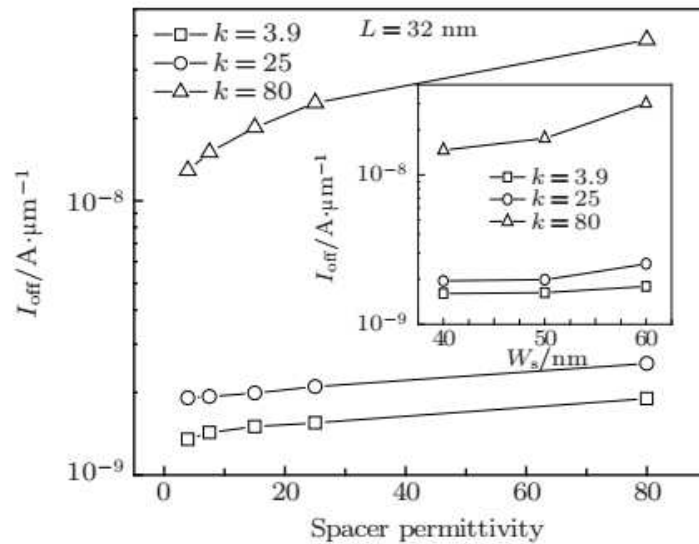
شکل 2: وابستگی I_{off} بر روی XI برای ثابت های دی الکتریک ثابت

کوپلینگ از طریق مسیر 2 مربوط به گذر دهی دی الکتریک و منطقه خم پوشانی LDD و گیت است که متناظر ϵ_{in} و L_{eff} است. شکل 4 نشان دهنده وابستگی های I_{off} مرتبط با طول هم پوشانی LDD گیت بری ثابت های دی الکتریک است. افزایش جریان با افزایش در طول گیت LDD و گذر دهی دی الکتریکی مطلوب است. اثر کوپلینگ با افزایش در ظرفیت معادل همراه است. اثر فیبل نیز بهبود می یابد و جریان غیر وضعیتی بدست می آید. این متناسب با تحلیل نظری است.



شکل 5: وابستگی I_{off} به L_{ov} برای ثابت های گیت مختلف دیالکتریک

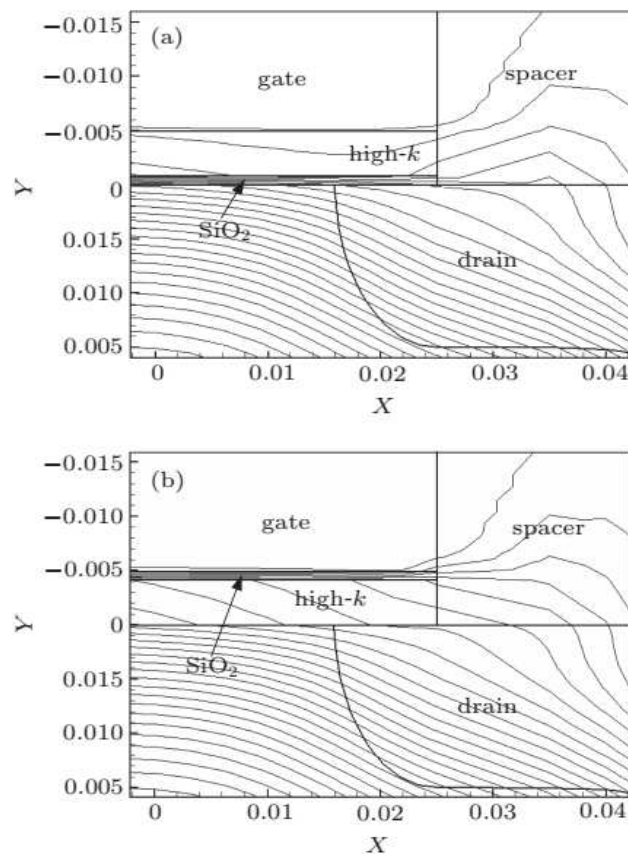
مسیر کوپلینگ 3 متشکل از دو بخش، مسیر 3 s و g از طریق اسپیسر و گیت است. مسیر III-s با عرض اسپیسر و گذردهی دی الکتریکی مطلوب است. III-g با گذر دهی متناظر می شود. مسیر III-s با عرض اسپیسر ارتباط دارد و با گذردهی دی الکتریک نیز مرتبط است. مسیر III-g با گذر دهی دی الکتریک گیت مرتبط است که در معادله 4 نشان داده شده است از این روی اثر کوپلینگ از طریق مسیر سه معادل با دو خازن است. جریان تونل بندی مستقیم به طور قابل توجهی افزایش می یابد که به یک عامل محدود کننده اصلی در فناوری نیمه هادی مکمل CMOS می شود. مواد با K بالا به عنوان دی الکتریک های جایگزین یا متناوب به طور قابل توجهی مطالعه شده اند و دارای ضخامت فیزیکی زیادی برای پیش گیری از تونل بندی مستقیم هستند. متأسفانه، اثر جانبی موسوم به کاهش دیواره درین القا شده (FIBL) به یک تهدید جدی برای اطمینان پذیری تبدیل شده است به خصوص زمانی که ضخامت دی الکتریک گیت قابل مقایسه با طول کانال باشد. با افزایش ضخامت فیزیکی گیت دی الکتریک، خطوط میدان الکتریکی از انتهای الکتروود گرفته شده و در منبع و منطقه درین افزایش می یابند. این خطوط الکتریکی تشکیل یک میدان الکتریکی می دهند که در درین نشات می گیرند. و به درون کانال از طریق دی الکتریک با K بالا نفوذ کرده و موجب مهار ارتفاع مانع از منبع به کانال می شود. این منجر به یک ولتاژ با استانه پایین تر، پیچش استانه و افزایش جریان می شود. در این مقاله جریان فوق برای بررسی تغییرات دستگاه ها با دی الکتریک های با گیت بالا استفاده می شود.



شکل 6: وابستگی I_{off} بر گذر دهی اسپیسر و WS برای ثابت های مختلف دی الکتریک

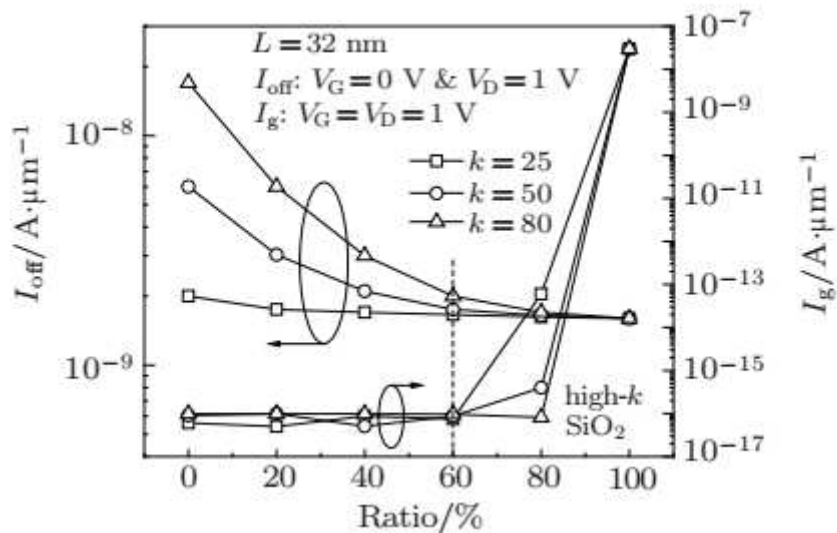
شکل 6 وابستگی I_{off} بر گذر دهی اسپیسر و WS برای ثابت های مختلف دی الکتریکو عرض مسیر را برای WS برای ثابت دی الکتریک را نشان می دهد. چون اثر گوپلینگ از طریق دی الکتریک بهبود می یابد، جریان بدون حالت برای گذر دهی دی الکتریک بزرگ تر افزایش می یابد.

شکل 7 تراز های مشابه موتسف را نشان می دهد. مواد رابط شامل سیلیسیم اکسید است و ضخامت سیلیسیم برابر با 0.6 نانومتر است. مواد با k بالا شامل تیتانیوم اکسید است و ضخامت معادل آن برابر با 0.4 نانومتر است. شکل 7 الف و ب، لایه سیلیسیم اکسید رادر پایین و بالا نشان می دهد. می توان مشاهده کرد که بیشتر این خطوط بر گرفته از لایه سیلیسیم اکسید است.



شکل 7: تراز های شبیه سازی شده وسفت با ساختار گیت استک الف: لایه انتهایی ب: لایه فوقانی

شکل 8 وابستگی جریان I_{off} و جریان تونل بندی مستقیم گیت I_g را بر روی نسبت ضخامت اکسید بر روی ضخامت دی الکتریک نشان می دهد. از این روی لایه دی الکتریک موجب ایجاد یک جریان بزرگ تر می شود. از سوی دیگر یک لایه نازک تر منجر به لایه موثر تر شده و با ایجاد جریان نشتی گیت کوچک تر همراه است. از این روی نسبت ضخامت اکسید به ضخامت دیالکتریک باید بهینه سازی شود. مسائل تراز و تعادل بین بایستی در نظر گرفته شود. برای nMOSFETs با 32 نانومتر طول کانال و 1 نانومتر ضخامت اکسید، HFO2 به عنوان ماده دی الکتریک استفاده می شود.



شکل 8: وابستگی های I_{off} و I_g بر روی نسبت ضخامت اکسید به دی الکتریک موثر

5- نتیجه گیری

تاثیر کاهش دیواره درین القا شده (FIBL) در 100 MOSFET نانومتری با دی الکتریک های گیت با K بالا با استفاده از دو شبیه ساز دستگاه دو بعدی بررسی می شود. یک تئوری خازن معادل برای توضیح مکانیسم های فیزیکی اثر کاهش دیواره درین القا شده (FIBL) مورد استفاده قرار گرفت. بر اساس تئوری خازن معادل، اثرات طول کانال، عمق اتصال، طول هم پوشانی درین دوپ شده سبک و گیت، مواد اسپیسر و عرض اسپیسر بر روی کاهش دیواره درین القا شده (FIBL) به طور کامل بررسی می شود. دی الکتریک گیت استک برای مهار اثر کاهش دیواره درین القا شده (FIBL) ارایه شده است. دی الکتریک گیت موجب مهار اثر فیلمیشود به خصوص این که با گذر دهی لایه انتهایی بیشتر از لایه فوقانی مهار می شود.



این مقاله، از سری مقالات ترجمه شده رایگان سایت ترجمه فا میباشد که با فرمت PDF در اختیار شما عزیزان قرار گرفته است. در صورت تمایل میتوانید با کلیک بر روی دکمه های زیر از سایر مقالات نیز استفاده نمایید:

لیست مقالات ترجمه شده ✓

لیست مقالات ترجمه شده رایگان ✓

لیست جدیدترین مقالات انگلیسی ISI ✓

سایت ترجمه فا ؛ مرجع جدیدترین مقالات ترجمه شده از نشریات معتبر خارجی